

This is a preview - click here to buy the full publication

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

61163-2

Première édition
First edition
1998-11

Déverminage sous contraintes –

**Partie 2:
Composants électroniques**

Reliability stress screening –

**Part 2:
Electronic components**

© IEC 1998 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission
Telefax: +41 22 919 0300

e-mail: inmail@iec.ch

3, rue de Varembe Geneva, Switzerland
IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE

V

*Pour prix, voir catalogue en vigueur
For price, see current catalogue*

SOMMAIRE

	Pages
AVANT-PROPOS	4
INTRODUCTION	6
Articles	
1 Domaine d'application	8
2 Références normatives.....	8
3 Définitions.....	10
4 Procédure	12
4.1 Généralités	12
4.2 Définition du programme	16
4.3 Etablir le contact entre les deux parties impliquées.....	18
4.4 Identifier les défauts et les modes de défaillance possibles pour chaque composant	18
4.5 Choisir les types, les niveaux et le séquençage de contraintes à utiliser pour provoquer les défaillances	18
4.6 Déterminer la durée du processus de déverminage sous contraintes	20
4.7 Analyser mathématiquement les résultats de l'essai initial	20
4.8 Réaliser l'analyse des défaillances	20
4.9 Réaliser des séquences de contraintes sur les composants.....	22
4.10 Déterminer les critères de rejet ou d'acceptation	22
4.11 Développer la boucle d'actions correctives	22
4.12 Fournir un retour d'information aux fabricants de composants.....	26
4.13 Arrêter le processus de déverminage sous contraintes	26
Figure 1 – Processus de déverminage sous contraintes des composants (diagramme général)	14
Figure 2 – Processus d'actions correctives.....	24
Annexe A (informative) Exemples d'outils pour identifier les mécanismes de défaillances dans les composants électroniques	28
Annexe B (informative) Analyse des données	32
Annexe C (informative) Exemples d'applications des processus de déverminage sous contraintes.....	52

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DÉVERMINAGE SOUS CONTRAINTES –

Partie 2: Composants électroniques

AVANT-PROPOS

- 1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
- 3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, rapports techniques ou guides et agréés comme tels par les Comités nationaux.
- 4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
- 5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.
- 6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 61163-2 a été établie par le comité d'études 56 de la CEI: Sûreté de fonctionnement.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
56/636/FDIS	56/642/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Les annexes A, B et C sont données uniquement à titre d'information.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

RELIABILITY STRESS SCREENING –

Part 2: Electronic components

FOREWORD

- 1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.
- 3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical reports or guides and they are accepted by the National Committees in that sense.
- 4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
- 5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.
- 6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 61163-2 has been prepared by IEC technical committee 56: Dependability.

The text of this standard is based on the following documents:

FDIS	Report on voting
56/636/FDIS	56/642/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

Annexes A, B and C are for information only.

INTRODUCTON

Bien que développé initialement comme outil d'obtention de la fiabilité pour des systèmes fonctionnant dans des conditions d'environnement sévères, le déverminage sous contraintes a émergé, dans la profession des fabricants de matériel électronique, comme étant une technique permettant d'atteindre le niveau de zéro défaut pour les nouveaux produits.

Le déverminage sous contraintes a prouvé qu'il était un outil efficace pour

- a) identifier et éliminer les défauts dus à une mauvaise conception des composants et à des problèmes de fabrication,
- b) trier les composants pour les amener à un niveau de fiabilité plus élevé que les valeurs publiées,
- c) fournir des informations permettant l'adaptation des processus dans des limites très serrées pour minimiser la variabilité des paramètres.

Il convient de ne pas considérer le déverminage sous contraintes comme un moyen normal pour obtenir la fiabilité des composants électroniques, parce qu'il ne peut pas améliorer la fiabilité individuelle de chaque composant. Par contre, il peut améliorer la fiabilité d'un système. Le coût et les risques, associés au fait que les contraintes appliquées peuvent dégrader la durée de vie des composants, dépassent en général les bénéfices potentiels. Il est plus avantageux de renforcer le contrôle des procédés de fabrication. Cependant, cette méthode peut ne pas être pratique, par exemple lorsqu'il existe des composants dont la fiabilité est plus faible que la fiabilité acceptable. Utiliser le déverminage sous contraintes pour améliorer les caractéristiques de composants peut également poser un problème de logistique, lorsque des composants similaires à ceux déverminés ne sont pas disponibles à une date ultérieure.

Lorsque des composants ont été déverminés sous contraintes pour être utilisés dans un système particulier, soit la quantité de composants nécessaire à la réparation, pour toute la durée de vie du système, est déverminée dès le début du programme, soit l'utilisateur s'assure que la documentation du système est suffisante pour contrôler l'approvisionnement en composants de telle sorte que tous les composants de remplacement sont déverminés de façon similaire.

INTRODUCTION

Although first developed as a tool for designing reliability into systems that operate in harsh environmental conditions, reliability stress screening has emerged as a technique in the electrotechnical manufacturing community that is useful if the drive toward zero defect levels in new products is to continue.

Reliability stress screening has proved to be an effective tool in

- a) identifying and removing flaws due to poor component design and manufacturing deficiencies,
- b) screening parts to a tighter specification than those published,
- c) providing feedback to enable the streamlining of processes to achieve very tight limits in order to minimize parameter variability.

Reliability stress screening should not be considered as a normal procedure to be used in assuring the reliability of electronic components because reliability stress screening cannot improve the reliability of an individual component. Reliability stress screening can, however, improve the actual reliability of a system. The cost and risks generally outweigh the potential benefits since any applied stress may have detrimental effects on the lifetime of the components. Greater benefits may be obtainable by tighter manufacturing process control. However, in some cases, this may not be practical, for example with existing components with less than acceptable reliability. Using reliability stress screening to upgrade component specifications can also lead to a logistical problem, when similarly screened components are not available at a later date.

When performing reliability stress screening on components for use in a particular system, either enough components needed for the repair of the system over its entire service life need to be screened initially or the user needs to ensure that system documentation be sufficient to control component procurement so that all replacement components be similarly screened.

DÉVERMINAGE SOUS CONTRAINTES –

Partie 2: Composants électroniques

1 Domaine d'application

La présente partie de la CEI 61163, incluant les annexes, est un guide pour les techniques et procédures du déverminage sous contraintes des composants électroniques. Cette norme n'est pas et ne peut pas être exhaustive en raison de la rapidité des développements dans l'industrie électronique.

Cette norme est destinée à être utilisée par

- a) les fabricants de composants, comme guide,
- b) les utilisateurs de composants, comme guide pour négocier avec les fabricants de composants les conditions de déverminage sous contraintes ou planifier en interne un processus de déverminage sous contraintes pour satisfaire aux exigences de fiabilité,
- c) les sous-traitants qui proposent le déverminage sous contraintes comme service.

Cette norme n'a pas pour but de fournir des plans d'essai pour tester des composants électroniques spécifiques ou pour délivrer des certificats de conformité pour des lots de composants.

2 Références normatives

Les documents normatifs suivants contiennent des dispositions qui, par suite de la référence qui y est faite, constituent des dispositions valables pour la présente partie de la CEI 61163. Au moment de la publication, les éditions indiquées étaient en vigueur. Tout document normatif est sujet à révision et les parties prenantes aux accords fondés sur la présente partie de la CEI 61163 sont invitées à rechercher la possibilité d'appliquer les éditions les plus récentes des documents normatifs indiqués ci-après. Les membres de la CEI et de l'ISO possèdent le registre des Normes internationales en vigueur.

CEI 60050(191):1990, *Vocabulaire Electrotechnique International (VEI) – Chapitre 191: Sûreté de fonctionnement et qualité de service*

CEI 60300-1:1993, *Gestion de la sûreté de fonctionnement – Partie 1: Gestion du programme de sûreté de fonctionnement*

CEI 60300-2:1995, *Gestion de la sûreté de fonctionnement – Partie 2: Eléments et tâches du programme de sûreté de fonctionnement*

CEI 60300-3-7—, *Gestion de la sûreté de fonctionnement – Partie 3-7: Guide d'application – Déverminage sous contraintes du matériel électronique*¹⁾

CEI 61163-1:1995, *Déverminage sous contraintes – Partie 1: Entités réparables fabriquées en lots*

CEI 61709:1996, *Composants électroniques – Fiabilité – Conditions de référence pour les taux de défaillance et modèles d'influence des contraintes pour la conversion*

¹⁾ A publier.

RELIABILITY STRESS SCREENING –

Part 2: Electronic components

1 Scope

This part of IEC 61163 provides guidance on reliability stress screening techniques and procedures for electronic components. This standard is not, and cannot be, exhaustive due to the rapid rate of developments in the electronics industry.

This standard is intended for the use of

- a) component manufacturers as a guideline,
- b) component users as a guideline to negotiate with component manufacturers on stress screening requirements or plan a stress screening process in house due to reliability requirements,
- c) subcontractors who provide stress screening as a service.

This standard is not intended to provide test plans for specific electronic components or for delivery of certificates of conformance for batches of components.

2 Normative references

The following normative documents contain provisions which, through reference in this text, constitute provisions of this part of IEC 61163. At the time of publication, the editions indicated were valid. All normative documents are subject to revision, and parties to agreements based on this part of IEC 61163 are encouraged to investigate the possibility of applying the most recent editions of the normative documents indicated below. Members of IEC and ISO maintain registers of currently valid International Standards.

IEC 60050(191):1990, *International Electrotechnical Vocabulary (IEV) – Chapter 191: Dependability and quality of service*

IEC 60300-1:1993, *Dependability management – Part 1: Dependability programme management*

IEC 60300-2:1995, *Dependability management Part 2: Dependability programme elements and tasks*

IEC 60300-3-7:—, *Dependability management – Part 3-7: Application guide – Reliability stress screening of electronic hardware* ¹⁾

IEC 61163-1:1995, *Reliability stress screening – Part 1: Repairable items manufactured in lots*

IEC 61709:1996, *Electronic components – Reliability – Reference conditions for failure rates and stress models for conversion*

¹⁾ To be published.