



INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Semiconductor devices – Discrete devices –
Part 8: Field-effect transistors**

**Dispositifs à semiconducteurs – Dispositifs discrets –
Partie 8: Transistors à effet de champ**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

PRICE CODE **XC**
CODE PRIX

ICS 31.080.30

ISBN 978-2-88912-279-0

CONTENTS

FOREWORD.....	6
1 Scope.....	8
2 Normative references.....	8
3 Terms and definitions.....	9
3.1 Types of field-effect transistors.....	9
3.2 General terms.....	10
3.2.1 Physical regions (of a field-effect transistor).....	10
3.2.2 Functional regions.....	11
3.3 Terms related to ratings and characteristics.....	12
3.4 Conventional used terms	17
4 Letter symbols.....	17
4.1 General.....	17
4.2 Additional general subscripts.....	17
4.3 List of letter symbols	17
4.3.1 Voltage	17
4.3.2 Currents.....	18
4.3.3 Power dissipation.....	18
4.3.4 Small-signal parameters	18
4.3.5 Other parameters.....	20
4.3.6 Matched-pair field-effect transistors	21
4.3.7 Inverse diodes integrated in MOSFETs.....	21
5 Essential ratings and characteristics.....	22
5.1 General.....	22
5.1.1 Device categories.....	22
5.1.2 Multiple-gate devices.....	22
5.1.3 Handling precautions.....	22
5.2 Ratings (limiting values).....	22
5.2.1 Temperatures	22
5.2.2 Power dissipation (P_{tot}).....	22
5.2.3 Safe operating area (SOA) for MOSFET only.....	22
5.2.4 Voltages and currents.....	23
5.3 Characteristics.....	23
5.3.1 Characteristics for low-frequency amplifier.....	23
5.3.2 Characteristics for high-frequency amplifier	25
5.3.3 Characteristics for high and low power switching and chopper	27
5.3.4 Characteristics for low-level amplifier	30
5.3.5 Characteristics for voltage-controlled resistor.....	32
5.3.6 Specific characteristics of matched-pair field-effect transistors for low-frequency differential	33
6 Measuring methods	34
6.1 General.....	34
6.2 Verification of ratings (limiting values)	34
6.2.1 Voltages and currents.....	34
6.2.2 Safe operating area.....	40
6.2.3 Avalanche energy	44
6.3 Methods of measurement.....	46

6.3.1	Breakdown voltage, drain to source ($V_{(BR)DS^*}$)	46
6.3.2	Gate-source off-state voltage ($V_{GS(off)}$) (type A and B), gate source threshold voltage ($V_{GS(th)}$) (type C)	47
6.3.3	Drain leakage current (d.c.) (I_{DS^*})(type C), Drain cut-off current (d.c.) (I_{DSX}) (type A and B)	48
6.3.4	Gate cut-off current (I_{GS^*})(type A), Gate-leakage current (I_{GS^*})(type B and C)	48
6.3.5	(Static) drain-source on-state resistance ($r_{DS(on)}$) or drain-source on-state voltage ($V_{DS(on)}$)	49
6.3.6	Switching times ($t_{d(on)}$, t_r , $t_{d(off)}$, and t_f).....	51
6.3.7	Turn-on power dissipation (P_{on}), turn-on energy (per pulse) (E_{on})	52
6.3.8	Turn-off power dissipation (P_{off}), turn-off energy (per pulse) (E_{off}).....	53
6.3.9	Gate charges (Q_G , Q_{GD} , $Q_{GS(th)}$, $Q_{GS(pl)}$)	53
6.3.10	Common source short-circuit input capacitance (C_{iss})	54
6.3.11	Common source short-circuit output capacitance (C_{oss}).....	55
6.3.12	Common source short-circuit reverse transfer capacitance (C_{rss})	56
6.3.13	Internal gate resistance (r_g).....	57
6.3.14	MOSFET forward recovery time (t_{fr}) and MOSFET forward recovered charge (Q_f).....	58
6.3.15	Drain-source reverse voltage (V_{DSR}).....	62
6.3.16	Small-signal short-circuit output conductance (type A, B and C) (g_{oss}).....	62
6.3.17	Small-signal short-circuit forward transconductance (types A, B and C).....	65
6.3.18	Noise (types A, B and C) (F , V_n).....	67
6.3.19	On-state drain-source resistance (under small-signal conditions) ($r_{ds(on)}$)	68
6.3.20	Channel-case transient thermal impedance ($Z_{th(j-c)}$) and thermal resistance ($R_{th(j-c)}$) of a field-effect transistor	69
7	Acceptance and reliability	71
7.1	General requirements	71
7.2	Acceptance-defining characteristics	71
7.3	Endurance and reliability tests.....	72
7.3.1	High-temperature blocking (HTRB).....	72
7.3.2	High-temperature gate bias	72
7.3.3	Intermittent operating life (load cycles)	72
7.4	Type tests and routine tests	73
7.4.1	Type tests	73
7.4.2	Routine tests	73
	Bibliography.....	75
	Figure 1 – Basic waveforms to specify the gate charges	14
	Figure 2 – Integral times for the turn-on energy E_{on} and turn-off energy E_{off}	16
	Figure 3 – Switching times	21
	Figure 4 – Circuit diagram for testing of drain-source voltage.....	35
	Figure 5 – Circuit diagram for testing of gate-source voltage.....	35
	Figure 6 – Circuit diagram for testing of gate-drain voltage	36
	Figure 7 – Basic circuit for the testing of drain current.....	37
	Figure 8 – Circuit diagram for testing of peak drain current	38
	Figure 9 – Basic circuit for the testing of reverse drain current of MOSFETs.....	38

Figure 10 – Basic circuit for the testing of peak reverse drain current of MOSFETs	39
Figure 11 – Circuit diagram for verifying FBSOA	40
Figure 12 – Circuit diagram for verifying RBSOA.....	41
Figure 13 – Test waveforms for verifying RBSOA.....	41
Figure 14 – Circuit for testing safe operating pulse duration at load short circuit	42
Figure 15 – Waveforms of gate-source voltage V_{GS} , drain current I_D and voltage V_{DS} during load short circuit condition SCSOA.....	43
Figure 16 – Circuit for the inductive avalanche switching	44
Figure 17 – Waveforms of I_D , V_{DS} and V_{GS} during unclamped inductive switching.....	44
Figure 18 – Waveforms of I_D , V_{DS} and V_{GS} for the non-repetitive avalanche switching	45
Figure 19 – Circuit diagrams for the measurement drain-source breakdown voltage	46
Figure 20 – Circuit diagram for measurement of gate-source off-state voltage and gate-source threshold voltage	47
Figure 21 – Circuit diagram for drain leakage (or off-state) current or drain cut-off current measurement.....	48
Figure 22 – Circuit diagram for measuring of gate cut-off current or gate leakage current	49
Figure 23 – Basic circuit of measurement for on-state resistance	50
Figure 24 – On-state resistance	50
Figure 25 – Circuit diagram for switching time	51
Figure 26 – Schematic switching waveforms and times.....	51
Figure 27 – Circuit for determining the turn-on and turn-off power dissipation and/or energy.....	52
Figure 28 – Circuit diagrams for the measurement gate charges.....	54
Figure 29 – Basic for the measurement of short-circuit input capacitance	55
Figure 30 – Basic circuit for measurement of short-circuit output capacitance (C_{OSS}).....	56
Figure 31 – Circuit for measurement of reverse transfer capacitance C_{rss}	57
Figure 32 – Circuit for measurement of internal gate resistance	58
Figure 33 – Circuit diagram for MOSFET forward recovery time and recovered charge (Method 1).....	59
Figure 34 – Current waveform through MOSFET (Method 1)	59
Figure 35 – Circuit diagram for MOSFET forward recovery time and recovered charge (Method 2).....	60
Figure 36 – Current waveform through MOSFET (Method 2)	61
Figure 37 – Circuit diagram for the measurement of drain-source reverse voltage	62
Figure 38 – Basic circuit for the measurement of the output conductance g_{OSS} (method 1: null method).....	63
Figure 39 – Basic circuit for the measurement of the output conductance g_{OSS} (method 2: two-voltmeter method)	64
Figure 40 – Circuit for the measurement of short-circuit forward transconductance g_{fs} (Method 1: Null method).....	65
Figure 41 – Circuit for the measurement of forward transconductance g_{fs} (method 2: two-voltmeter method)	66
Figure 42 – Block diagram for the measurement of equivalent input noise voltage.....	67
Figure 43 – Circuit for the measurement of equivalent input noise voltage.....	67
Figure 44 – Circuit diagram for the measurement of on-state drain-source resistance.....	68

Figure 45 – Circuit diagram	69
Figure 46 – Circuit for high-temperature blockings	72
Figure 47 – Circuit for high-temperature gate bias.....	72
Figure 48 – Circuit for intermittent operating life	73
Table 1 – Terms for MOSFET in this standard and the conventional used terms for the inverse diode integrated in the MOSFET	17
Table 2 – Acceptance defining characteristics	34
Table 3 – Acceptance-defining characteristics for endurance and reliability tests	71
Table 4 – Minimum type and routine tests for FETs when applicable.....	74

INTERNATIONAL ELECTROTECHNICAL COMMISSION

SEMICONDUCTOR DEVICES – DISCRETE DEVICES –

Part 8: Field-effect transistors

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60747-8 has been prepared by subcommittee 47E: Discrete semiconductor devices, of IEC technical committee 47: Semiconductor devices.

This third edition of IEC 60747-8 cancels and replaces the second edition published in 2000. This third edition constitutes a technical revision.

The main changes with respect to the previous edition are listed below.

- a) "Clause 3 Classification" was moved and added to Clause 1.
- b) "Clause 4 Terminology and letter symbols" was divided into "Clause 3 Terms and definitions" and "Clause 4 Letter symbols" was amended with additions and deletions.
- c) Clause 5, 6 and 7 were amended with necessary additions and deletions.

The text of this standard is based on the following documents:

FDIS	Report on voting
47E/398/FDIS	47E/406/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

This Part 8 should be used in conjunction with IEC 60747-1:2006.

A list of all the parts in the IEC 60747 series, under the general title *Semiconductor devices – Discrete devices*, can be found on the IEC website.

Future standards in this series will carry the new general title as cited above. Titles of existing standards in this series will be updated at the time of the next edition.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

SEMICONDUCTOR DEVICES – DISCRETE DEVICES –

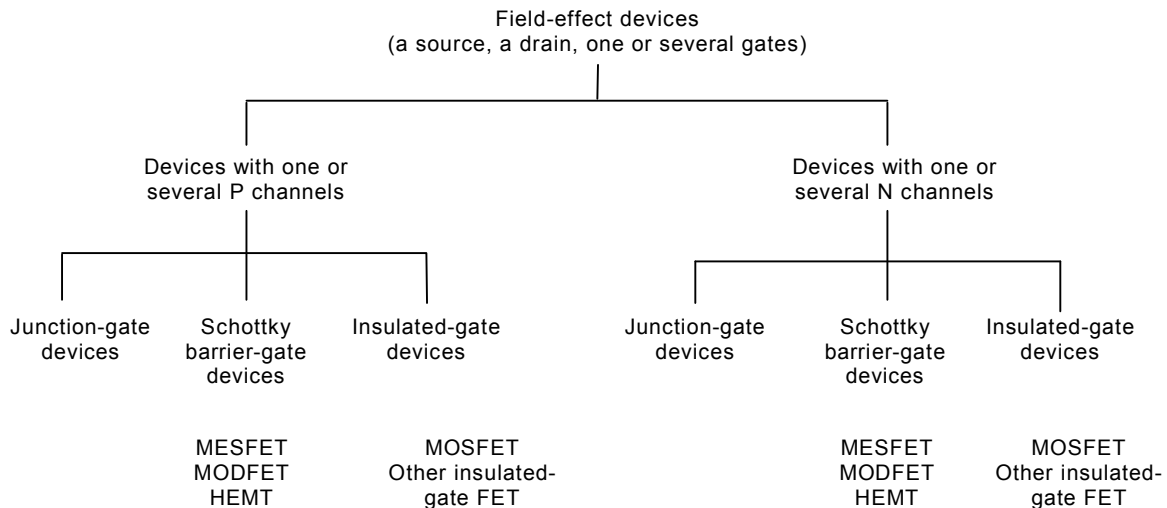
Part 8: Field-effect transistors

1 Scope

This part of IEC 60747 gives standards for the following categories of field-effect transistors:

- type A: junction-gate type;
- type B: insulated-gate depletion (normally on) type;
- type C: insulated-gate enhancement (normally off) type.

Since a field-effect transistor may have one or several gates, the classification shown below results:



NOTE 1 Schottky barrier-gate and insulated gate devices include depletion type devices and enhancement type devices.

NOTE 2 MOSFETs for some applications may not have inverse diode characteristics in the data sheet. Special circuit element structures to eliminate body diode are under development for such applications. MOSFET applications such as motor control equipment need to specify the inverse diode characteristics in the MOSFET to use the inverse diode as a free wheeling diode.

NOTE 3 The graphical symbol only for type C is used in this standard. The standard equally applies for P-channel and for type A and B devices.

2 Normative references

The following referenced documents are indispensable for the application of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 61340 (all parts), *Electrostatics*

IEC 60747-1:2006, *Semiconductor devices – Part 1: General*

IEC 60747-7:2000, *Semiconductor devices – Part 7: Bipolar transistors*

IEC 60749-23:2004, *Semiconductor devices – Mechanical and climatic test methods – Part 23: High temperature operating life*

IEC 60749-34, *Semiconductor devices – Mechanical and climatic test methods – Part 34: Power cycling*

SOMMAIRE

AVANT-PROPOS	80
1 Domaine d'application	82
2 Références normatives	82
3 Termes et définitions	83
3.1 Types de transistors à effet de champ	83
3.2 Termes généraux	85
3.2.1 Régions physiques (d'un transistor à effet de champ)	85
3.2.2 Régions fonctionnelles	86
3.3 Termes relatifs aux valeurs assignées et aux caractéristiques	86
3.4 Termes conventionnels utilisés	91
4 Symboles littéraux	91
4.1 Généralités	91
4.2 Indices généraux supplémentaires	91
4.3 Liste de symboles littéraux	92
4.3.1 Tension	92
4.3.2 Courants	92
4.3.3 Dissipation de puissance	93
4.3.4 Paramètres pour petits signaux	93
4.3.5 Autres paramètres	94
4.3.6 Transistors à effet de champ appariés	96
4.3.7 Diodes inverses intégrées dans des MOSFET	96
5 Valeurs assignées et caractéristiques essentielles	96
5.1 Généralités	96
5.1.1 Catégories de dispositifs	96
5.1.2 Dispositifs à grilles multiples	96
5.1.3 Précautions de manipulation	97
5.2 Valeurs assignées (valeurs limites)	97
5.2.1 Températures	97
5.2.2 Dissipation de puissance (P_{tot})	97
5.2.3 Aire de sécurité de fonctionnement (SOA) pour MOSFET uniquement	97
5.2.4 Tensions et courants	97
5.3 Caractéristiques	98
5.3.1 Caractéristiques pour amplificateur basse fréquence	98
5.3.2 Caractéristiques pour amplificateur haute fréquence	100
5.3.3 Caractéristiques pour découpeur et commutation de puissance de niveau haut et de niveau bas	102
5.3.4 Caractéristiques pour amplificateur de niveau bas	106
5.3.5 Caractéristiques pour une résistance commandée par la tension	107
5.3.6 Caractéristiques spécifiques des transistors à effet de champ appariés pour différentiel en basse fréquence	108
6 Méthodes de mesure	109
6.1 Généralités	109
6.2 Vérification des valeurs assignées (valeurs limites)	109
6.2.1 Tensions et courants	110
6.2.2 Aire de sécurité de fonctionnement	116
6.2.3 Énergie d'avalanche	121

6.3	Méthodes de mesure	124
6.3.1	Tension de claquage, drain-source ($V_{(BR)DS^*}$)	124
6.3.2	Tension grille-source à l'état bloqué ($V_{GS(off)}$) (type A et B), seuil de tension grille-source ($V_{GS(th)}$) (type C)	125
6.3.3	Courant (continu) de fuite de drain (I_{DS^*})(type C), courant (continu) de drain résiduel (I_{DSX}) (type A et B)	125
6.3.4	Courant de grille résiduel (I_{GS^*})(type A), courant de fuite de grille (I_{GS^*})(type B et C)	126
6.3.5	Résistance drain-source à l'état passant (statique) ($r_{DS(on)}$) ou tension drain-source à l'état passant ($V_{DS(on)}$)	127
6.3.6	Temps de commutation ($t_{d(on)}$, t_r , $t_{d(off)}$, et t_f)	129
6.3.7	Dissipation d'énergie d'établissement (P_{on}), énergie d'établissement (par impulsion) (E_{on})	130
6.3.8	Dissipation d'énergie de coupure (P_{off}), énergie de coupure (par impulsion) (E_{off})	131
6.3.9	Charges de grille (Q_G , Q_{GD} , $Q_{GS(th)}$, $Q_{GS(pl)}$)	132
6.3.10	Capacité d'entrée en montage source commune, la sortie étant en court-circuit (C_{iss})	132
6.3.11	Capacité de sortie en montage source commune, l'entrée étant en court-circuit (C_{oss})	133
6.3.12	Capacité de transfert inverse en montage source commune (en court-circuit)(C_{rss})	134
6.3.13	Résistance interne de la grille (r_g)	135
6.3.14	Temps de recouvrement direct de MOSFET (t_{fr}) et charge de recouvrement directe de MOSFET (Q_f)	136
6.3.15	Tension inverse drain-source (V_{DSR})	140
6.3.16	Conductance de sortie, l'entrée étant en court-circuit, en petits signaux (type A, B et C) (g_{oss})	141
6.3.17	Transconductance directe, la sortie étant en court-circuit, en petits signaux (types A, B et C)	143
6.3.18	Bruit (types A, B et C) (F , V_n)	145
6.3.19	Résistance drain-source à l'état passant (en petits signaux) ($r_{ds(on)}$)	147
6.3.20	Impédance thermique transitoire canal-boîtier ($Z_{th(j-c)}$) et résistance thermique canal-boîtier ($R_{th(j-c)}$) d'un transistor à effet de champ	148
7	Réception et fiabilité	150
7.1	Exigences générales	150
7.2	Caractéristiques définissant la réception	150
7.3	Essais d'endurance et de fiabilité	151
7.3.1	Blocage haute température (HTRB)	151
7.3.2	Polarisation de grille haute température	151
7.3.3	Durée en fonctionnement intermittente (cycles de charge)	152
7.4	Essais de type et essais individuels de série	153
7.4.1	Essais de type	153
7.4.2	Essais individuels de série	153
	Bibliographie	155
	Figure 1 – Formes d'onde de base pour spécifier les charges de grille	88
	Figure 2 – Temps d'intégration pour l'énergie d'établissement E_{on} et l'énergie de coupure E_{off}	90
	Figure 3 – Temps de commutation	95
	Figure 4 – Schéma de circuit pour les essais de tension drain-source	110

Figure 5 – Schéma de circuit pour les essais de tension grille-source	111
Figure 6 – Schéma de circuit pour les essais de tension grille-drain.....	112
Figure 7 – Circuit de base pour les essais de courant de drain.....	113
Figure 8 – Schéma de circuit pour les essais de courant de drain de crête	114
Figure 9 – Circuit de base pour les essais de courant de drain inverse des transistors MOSFET	115
Figure 10 – Circuit de base pour les essais de courant de drain inverse de crête des transistors MOSFET	116
Figure 11 – Schéma de circuit pour vérifier l'aire FBSOA.....	117
Figure 12 – Schéma de circuit pour vérifier l'aire RBSOA.....	118
Figure 13 – Formes d'onde d'essai pour vérifier l'aire RBSOA.....	118
Figure 14 – Circuit pour essais de durée d'impulsion de sécurité de fonctionnement en court-circuit de charge (SCSOA).....	120
Figure 15 – Formes d'onde de tension grille-source V_{GS} , de courant de drain I_D et de tension V_{DS} pendant un état de court-circuit de charge SCSOA	120
Figure 16 – Circuit pour la commutation inductive par avalanche.....	121
Figure 17 – Formes d'onde de I_D , V_{DS} et V_{GS} pendant la commutation inductive non nivelée	122
Figure 18 – Formes d'onde de I_D , V_{DS} et V_{GS} pour la commutation d'avalanche non répétitive	123
Figure 19 – Schémas de circuit pour la mesure de la tension de claquage drain-source.....	124
Figure 20 – Schéma de circuit pour la mesure de la tension grille-source à l'état bloqué et du seuil de tension grille-source	125
Figure 21 – Schéma de circuit pour mesurer le courant de drain de fuite (ou à l'état bloqué) ou le courant de drain résiduel	126
Figure 22 – Schéma de circuit pour mesurer le courant résiduel de grille ou le courant de fuite de grille	127
Figure 23 – Circuit de base de mesure pour la résistance à l'état passant	128
Figure 24 – Résistance à l'état passant	128
Figure 25 – Schéma de circuit pour le temps de commutation	129
Figure 26 – Formes d'onde et temps de commutation schématiques	129
Figure 27 – Circuit pour déterminer la puissance dissipée et/ou l'énergie d'établissement et de coupure	130
Figure 28 – Schéma de circuit pour la mesure des charges de grille	132
Figure 29 – Circuit de base pour la mesure de capacité d'entrée, sortie en court-circuit.....	133
Figure 30 – Circuit de base pour mesurer la capacité de sortie, l'entrée étant en court-circuit (C_{OSS}).....	134
Figure 31 – Circuit pour la mesure de capacité de transfert inverse C_{rss}	135
Figure 32 – Circuit pour la mesure de résistance interne de grille	136
Figure 33 – Schéma de circuit pour le temps de recouvrement direct du MOSFET et la charge recouvrée du MOSFET (Méthode 1).....	137
Figure 34 – Forme d'onde du courant à travers le MOSFET (Méthode 1).....	137
Figure 35 – Schéma de circuit pour le temps de recouvrement direct du MOSFET et la charge recouvrée (Méthode 2)	138
Figure 36 – Forme d'onde du courant à travers le MOSFET (Méthode 2).....	139
Figure 37 – Schéma de circuit pour la mesure de la tension inverse drain-source	140

Figure 38 – Circuit de base pour la mesure de la conductance de sortie g_{oss} (Méthode 1: méthode de zéro)	141
Figure 39 – Circuit de base pour la mesure de la conductance de sortie g_{oss} (Méthode 2: méthode des deux voltmètres)	142
Figure 40 – Circuit pour la mesure de la transconductance directe, la sortie étant en court-circuit g_{fs} (Méthode 1: Méthode de zéro)	143
Figure 41 – Circuit pour la mesure de la transconductance directe g_{fs} (Méthode 2: méthode des deux voltmètres)	144
Figure 42 – Schéma de principe pour la mesure de la tension de bruit équivalente à l'entrée	145
Figure 43 – Circuit pour la mesure de la tension de bruit équivalente à l'entrée.....	146
Figure 44 – Schéma de circuit pour la mesure de la résistance drain-source à l'état passant	147
Figure 45 – Schéma de circuit	148
Figure 46 – Circuit pour les blocages haute température	151
Figure 47 – Circuit pour la polarisation de grille haute température.....	152
Figure 48 – Circuit pour la durée intermittente de fonctionnement.....	152
Tableau 1 – Termes pour le MOSFET dans la présente norme et termes conventionnels utilisés pour la diode inverse intégrée dans le MOSFET	91
Tableau 2 – Caractéristiques définissant la réception	110
Tableau 3 – Caractéristiques définissant la réception pour les essais d'endurance et de fiabilité.....	151
Tableau 4 – Essais de type et essais individuels de série minima pour les transistors à effet de champ lorsqu'ils sont applicables	154

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS – DISPOSITIFS DESCRETS –

Partie 8: Transistors à effet de champ

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de la CEI. La CEI n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 60747-8 a été établie par le sous-comité 47E: Dispositifs discrets à semiconducteurs, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Cette troisième édition de la CEI 60747-8 annule et remplace la deuxième édition parue en 2000. Cette troisième édition constitue une révision technique.

Les principaux changements par rapport à l'édition précédente sont énumérés ci-dessous.

- a) L'Article 3 «Classification» a été déplacé et ajouté à l'Article 1.
- b) L'Article 4 «Terminologie et symboles littéraux» a été divisé en Article 3 «Termes et définitions» et Article 4 «Symboles littéraux», ce dernier a été amendé avec des additions et des suppressions.
- c) Les Articles 5, 6 et 7 ont été amendés avec les nécessaires additions et suppressions.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
47E/398/FDIS	47E/406/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Il convient que la présente partie 8 soit utilisée conjointement avec la CEI 60747-1 :2006.

Une liste de toutes les parties de la série CEI 60747, présentée sous le titre général *Dispositifs à semiconducteurs – Dispositifs discrets*, peut être consultée sur le site web de la CEI.

Les futures normes de cette série porteront dorénavant le nouveau titre général cité ci-dessus. Le titre des normes existant déjà dans cette série sera mis à jour lors de la prochaine édition.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de la CEI sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

DISPOSITIFS À SEMICONDUCTEURS – DISPOSITIFS DESCRETS –

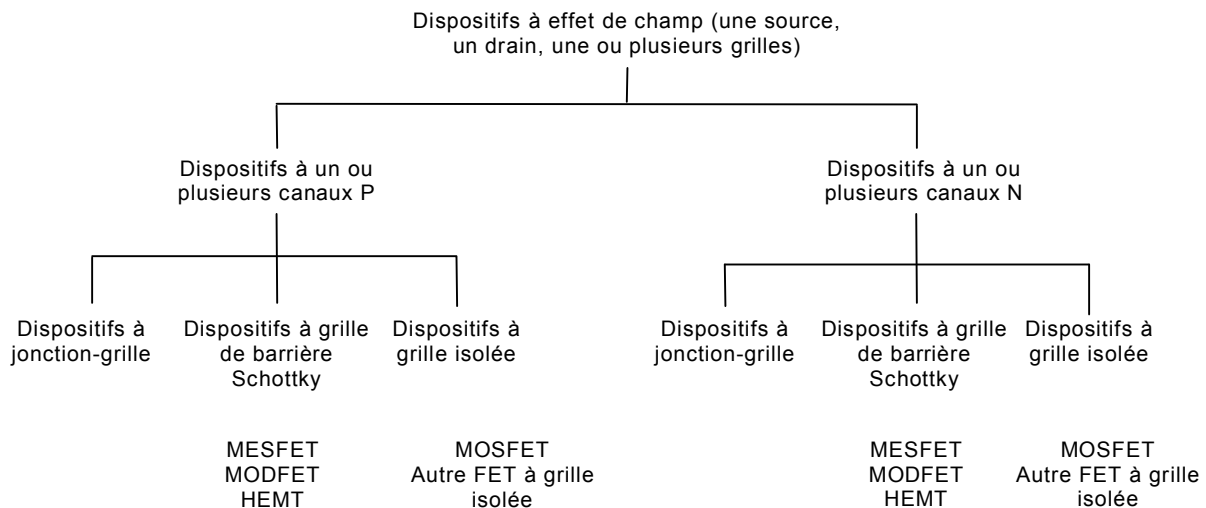
Partie 8: Transistors à effet de champ

1 Domaine d'application

La présente partie de la CEI 60747 donne les normes pour les catégories suivantes de transistors à effets de champ:

- type A: type à jonction de grille;
- type B: type à grille isolée à déplétion (appauvrissement) (normalement à l'état passant);
- type C: type à grille isolée à enrichissement (normalement à l'état bloqué).

Étant donné qu'un transistor à effet de champ peut avoir une ou plusieurs grilles, il en résulte la classification suivante:



NOTE 1 Les dispositifs à grille de barrière Schottky et à grille isolée comprennent les dispositifs à mode déplétion (appauvrissement) et les dispositifs à mode à enrichissement.

NOTE 2 Les MOSFET pour certaines applications peuvent ne pas avoir de caractéristiques de diode inverse dans la fiche technique. Des configurations spéciales d'élément de circuit pour éliminer la diode sont en cours de développement pour de telles applications. Les applications des MOSFET telles que des équipements de commande de moteur nécessitent de spécifier les caractéristiques de diode inverse dans le MOSFET pour utiliser la diode inverse comme diode de roue libre.

NOTE 3 Seul le symbole graphique pour le type C est utilisé dans la présente norme. La norme s'applique également aux dispositifs à canal P et aux dispositifs de type A et B.

2 Références normatives

Les documents de référence suivants sont indispensables pour l'application du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

CEI 61340 (toutes les parties), *Électrostatique*

CEI 60747-1:2006, *Dispositifs à semiconducteurs – Partie 1: Généralités*

CEI 60747-7:2000, *Dispositifs à semiconducteurs – Partie 7: Transistors bipolaires*

CEI 60749-23 :2004, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 23:Durée de vie en fonctionnement à haute température*

CEI 60749-34, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 34: Cycles en puissance*