



# INTERNATIONAL STANDARD

# NORME INTERNATIONALE



---

**High-voltage switchgear and controlgear –  
Part 101: Synthetic testing**

**Appareillage à haute tension –  
Partie 101: Essais synthétiques**

INTERNATIONAL  
ELECTROTECHNICAL  
COMMISSION

COMMISSION  
ELECTROTECHNIQUE  
INTERNATIONALE

---

ICS 29.130.10

ISBN 978-2-83220-421-4

**Warning! Make sure that you obtained this publication from an authorized distributor.  
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

## CONTENTS

FOREWORD.....	7
1 Scope.....	9
2 Normative references .....	9
3 Terms and definitions .....	9
4 Synthetic testing techniques and methods for short-circuit breaking tests.....	11
4.1 Basic principles and general requirements for synthetic breaking test methods .....	11
4.1.1 General .....	11
4.1.2 High-current interval .....	12
4.1.3 Interaction interval.....	12
4.1.4 High-voltage interval.....	13
4.2 Synthetic test circuits and related specific requirements for breaking tests .....	14
4.2.1 Current injection methods.....	14
4.2.2 Voltage injection method .....	15
4.2.3 Duplicate circuit method (transformer or Skeats circuit) .....	15
4.2.4 Other synthetic test methods .....	16
4.3 Three-phase synthetic test methods .....	16
5 Synthetic testing techniques and methods for short-circuit making tests .....	19
5.1 Basic principles and general requirements for synthetic making test methods .....	19
5.1.1 General .....	19
5.1.2 High-voltage interval.....	19
5.1.3 Pre-arcing interval .....	19
5.1.4 Latching interval and fully closed position .....	20
5.2 Synthetic test circuit and related specific requirements for making tests .....	20
5.2.1 General .....	20
5.2.2 Test circuit .....	20
5.2.3 Specific requirements .....	20
6 Specific requirements for synthetic tests for making and breaking performance related to the requirements of 6.102 through 6.111 of IEC 62271-100:2008.....	21
Annex A (informative) Current distortion .....	42
Annex B (informative) Current injection methods.....	58
Annex C (informative) Voltage injection methods .....	62
Annex D (informative) Skeats or duplicate transformer circuit .....	65
Annex E (normative) Information to be given and results to be recorded for synthetic tests .....	68
Annex F (normative) Synthetic test methods for circuit-breakers with opening resistors .....	69
Annex G (informative) Synthetic methods for capacitive-current switching .....	76
Annex H (informative) Re-ignition methods to prolong arcing .....	88
Annex I (normative) Reduction in $di/dt$ and TRV for test duty T100a .....	91
Annex J (informative) Three-phase synthetic test circuits.....	100
Annex K (normative) Test procedure using a three-phase current circuit and one voltage circuit .....	107
Annex L (normative) Splitting of test duties in test series taking into account the associated TRV for each pole-to-clear .....	127
Annex M (normative) Tolerances on test quantities for type tests.....	147

Annex N (informative) Typical test circuits for metal-enclosed and dead tank circuit-breakers .....	150
Annex O (informative) Combination of current injection and voltage injection methods.....	160
Bibliography.....	163
Figure 1 – Interrupting process – Basic time intervals .....	33
Figure 2 – Examples of evaluation of recovery voltage.....	34
Figure 3 – Equivalent surge impedance of the voltage circuit for the current injection method .....	35
Figure 4 – Making process – Basic time intervals.....	36
Figure 5 – Typical synthetic making circuit for single-phase tests.....	37
Figure 6 – Typical synthetic making circuit for out-of-phase .....	38
Figure 7 – Typical synthetic make circuit for three-phase tests ( $k_{pp} = 1,5$ ).....	39
Figure 8 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic (right) for T100s with $k_{pp} = 1,5$ .....	40
Figure 9 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic (right) for T100a with $k_{pp} = 1,5$ .....	41
Figure A.1 – Direct circuit, simplified diagram .....	49
Figure A.2 – Prospective short-circuit current .....	49
Figure A.3 – Distortion current .....	49
Figure A.4 – Distortion current .....	50
Figure A.5 – Simplified circuit diagram.....	51
Figure A.6 – Current and arc voltage characteristics for symmetrical current .....	52
Figure A.7 – Current and arc voltage characteristics for asymmetrical current .....	53
Figure A.8 – Reduction of amplitude and duration of final current loop of arcing .....	54
Figure A.9 – Reduction of amplitude and duration of final current loop of arcing .....	55
Figure A.10 – Reduction of amplitude and duration of final current loop of arcing .....	56
Figure A.11 – Reduction of amplitude and duration of final current loop of arcing .....	57
Figure B.1 – Typical current injection circuit with voltage circuit in parallel with the test circuit-breaker.....	59
Figure B.2 – Injection timing for current injection scheme with circuit B.1.....	60
Figure B.3 – Examples of the determination of the interval of significant change of arc voltage from the oscillograms .....	61
Figure C.1 – Typical voltage injection circuit diagram with voltage circuit in parallel with the auxiliary circuit-breaker (simplified diagram).....	63
Figure C.2 – TRV waveshapes in a voltage injection circuit with the voltage circuit in parallel with the auxiliary circuit-breaker .....	64
Figure D.1 – Transformer or Skeats circuit.....	66
Figure D.2 – Triggered transformer or Skeats circuit.....	67
Figure F.1 – Test circuit to verify thermal re-ignition behaviour of the main interrupter.....	73
Figure F.2 – Test circuit to verify dielectric re-ignition behaviour of the main interrupter .....	73
Figure F.3 – Test circuit on the resistor interrupter.....	74
Figure F.4 – Example of test circuit for capacitive current switching tests on the main interrupter.....	75

Figure F.5 – Example of test circuit for capacitive current switching tests on the resistor interrupter .....	75
Figure G.1 – Capacitive current circuits (parallel mode) .....	79
Figure G.2 – Current injection circuit.....	80
Figure G.3 – LC oscillating circuit .....	81
Figure G.4 – Inductive current circuit in parallel with LC oscillating circuit.....	82
Figure G.5 – Current injection circuit, normal recovery voltage applied to both terminals of the circuit-breaker.....	83
Figure G.6 – Synthetic test circuit (series circuit), normal recovery voltage applied to both sides of the test circuit breaker .....	84
Figure G.7 – Current injection circuit, recovery voltage applied to both sides of the circuit-breaker.....	85
Figure G.8 – Making test circuit .....	86
Figure G.9 – Inrush making current test circuit.....	87
Figure H.1 – Typical re-ignition circuit diagram for prolonging arc-duration .....	89
Figure H.2 – Combined Skeats and current injection circuits .....	89
Figure H.3 – Typical waveforms obtained during an asymmetrical test using the circuit in Figure H.2.....	90
Figure J.1 – Three-phase synthetic combined circuit.....	102
Figure J.2 – Waveshapes of currents, phase-to-ground and phase-to phase voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,5$ ) performed according to the three-phase synthetic combined circuit .....	103
Figure J.3 – Three-phase synthetic circuit with injection in all phases for $k_{pp} = 1,5$ .....	104
Figure J.4 – Waveshapes of currents and phase-to-ground voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,5$ ) performed according to the three-phase synthetic circuit with injection in all phases .....	104
Figure J.5 – Three-phase synthetic circuit for terminal fault tests with $k_{pp} = 1,3$ (current injection method) .....	105
Figure J.6 – Waveshapes of currents, phase-to-ground and phase-to-phase voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,3$ ) performed according to the three-phase synthetic circuit shown in Figure J.5 .....	105
Figure J.7 – TRV voltages waveshapes of the test circuit described in Figure J.5 .....	106
Figure K.1 – Example of a three-phase current circuit with single-phase synthetic injection .....	118
Figure K.2 – Representation of the testing conditions of Table K.1 .....	119
Figure K.3 – Representation of the testing conditions of Table K.2 .....	120
Figure K.4 – Representation of the testing conditions of Table K.3 .....	121
Figure K.5 – Representation of the testing conditions of Table K.4 .....	122
Figure K.6 – Representation of the testing conditions of Table K.5 .....	123
Figure K.7 – Representation of the testing conditions of Table K.6 .....	124
Figure K.8 – Representation of the testing conditions of Table K.7 .....	125
Figure K.9 – Representation of the testing conditions of Table K.8 .....	126
Figure L.1 – Graphical representation of the test shown in Table L.6 .....	137
Figure L.2 – Graphical representation of the test shown in Table L.7 .....	138
Figure N.1 – Test circuit for unit testing (circuit-breaker with interaction due to gas circulation).....	151

Figure N.2 – Half-pole testing of a circuit-breaker in test circuit given by Figure N.1 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure.....	152
Figure N.3 – Synthetic test circuit for unit testing (if unit testing is allowed as per 6.102.4.2 of IEC 62271-100:2008) .....	153
Figure N.4 – Half-pole testing of a circuit-breaker in the test circuit of Figure N.3 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure.....	154
Figure N.5 – Capacitive current injection circuit with enclosure of the circuit-breaker energized.....	155
Figure N.6 – Capacitive synthetic circuit using two power-frequency sources and with the enclosure of the circuit-breaker energized.....	156
Figure N.7 – Capacitive synthetic current injection circuit – Example of unit testing on half a pole of a circuit-breaker with two units per pole – Enclosure energized with d.c. voltage source .....	157
Figure N.8 – Symmetrical synthetic test circuit for out-of-phase switching tests on a complete pole of a circuit-breaker .....	158
Figure N.9 – Full pole test with voltage applied to both terminals and the metal enclosure.....	159
Figure O.1 – Example of combined current and voltage injection circuit with application of full test voltage to earth .....	161
Figure O.2 – Example of combined current and voltage injection circuit with separated application of test voltage .....	162
Table 1 – Test circuits for test duties T100s and T100a .....	17
Table 2 – Test parameters during three-phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,5$ .....	17
Table 3 – Test parameters during three-phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,3$ .....	18
Table 4 – Test parameters during three phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,2$ .....	18
Table 5 – Synthetic test methods for test duties T10, T30, T60, T100s, T100a, SP, DEF, OP and SLF .....	31
Table I.1 – Last loop $di/dt$ reduction for 50 Hz for $k_{pp} = 1,3$ and $1,5$ .....	91
Table I.2 – Last loop $di/dt$ reduction for 50 Hz for $k_{pp} = 1,2$ .....	92
Table I.3 – Last loop $di/dt$ reduction for 60 Hz for $k_{pp} = 1,3$ and $1,5$ .....	93
Table I.4 – Last loop $di/dt$ reduction for 60 Hz for $k_{pp} = 1,2$ .....	94
Table I.5 – Corrected TRV values for the first pole-to-clear for $k_{pp} = 1,3$ and $f_r = 50$ Hz .....	95
Table I.6 – Corrected TRV values for the first pole-to-clear for $k_{pp} = 1,3$ and $f_r = 60$ Hz .....	96
Table I.7 – Corrected TRV values for the first pole-to-clear for $k_{pp} = 1,5$ and $f_r = 50$ Hz .....	97
Table I.8 – Corrected TRV values for the first pole-to-clear for $k_{pp} = 1,5$ and $f_r = 60$ Hz .....	98
Table I.9 – Corrected TRV values for the first pole-to-clear for $k_{pp} = 1,2$ and $f_r = 50$ Hz .....	98
Table I.10 – Corrected TRV values for the first pole-to-clear for $k_{pp} = 1,2$ and $f_r = 60$ Hz.....	99
Table K.1 – Demonstration of arcing times for $k_{pp} = 1,5$ .....	108
Table K.2 – Alternative demonstration of arcing times for $k_{pp} = 1,5$ .....	109
Table K.3 – Demonstration of arcing times for $k_{pp} = 1,3$ .....	110
Table K.4 – Alternative demonstration of arcing times for $k_{pp} = 1,3$ .....	111

Table K.5 – Demonstration of arcing times for $k_{pp} = 1,5$ .....	112
Table K.6 – Alternative demonstration of arcing times for $k_{pp} = 1,5$ .....	113
Table K.7 – Demonstration of arcing times for $k_{pp} = 1,3$ .....	114
Table K.8 – Alternative demonstration of arcing times for $k_{pp} = 1,3$ .....	115
Table K.9 – Procedure for combining $k_{pp} = 1,5$ and $1,3$ during test-duties T10, T30, T60 and T100s(b) .....	116
Table K.10 – Procedure for combining $k_{pp} = 1,5$ and $1,3$ during test-duty T100a .....	117
Table L.1 – Test procedure for $k_{pp} = 1,5$ .....	129
Table L.2 – Test procedure for $k_{pp} = 1,3$ .....	130
Table L.3 – Simplified test procedure for $k_{pp} = 1,3$ .....	131
Table L.4 – Test procedure for $k_{pp} = 1,2$ .....	132
Table L.5 – Simplified test procedure for $k_{pp} = 1,2$ .....	133
Table L.6 – Test procedure for asymmetrical currents in the case of $k_{pp} = 1,5$ .....	134
Table L.7 – Test procedure for asymmetrical currents in the case of $k_{pp} = 1,3$ .....	135
Table L.8 – Test procedure for asymmetrical currents in the case of $k_{pp} = 1,2$ .....	136
Table L.9 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,5$ , $f_r = 50$ Hz .....	139
Table L.10 – Required test parameters for different asymmetrical conditions in the case of a $k_{pp} = 1,3$ , $f_r = 50$ Hz .....	140
Table L.11 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,2$ , $f_r = 50$ Hz.....	141
Table L.12 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,5$ , $f_r = 60$ Hz.....	142
Table L.13 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,3$ , $f_r = 60$ Hz.....	143
Table L.14 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,2$ , $f_r = 60$ Hz.....	144
Table L.15 – Procedure for combining $k_{pp} = 1,5$ and $1,3$ during test-duties T10, T30, T60 and T100s(b) .....	145
Table L.16 – Procedure for combining $k_{pp} = 1,5$ and $1,3$ during test-duty T100a.....	146
Table M.1 – Tolerances on test quantities for type tests (1of 2) .....	148

## INTERNATIONAL ELECTROTECHNICAL COMMISSION

### HIGH-VOLTAGE SWITCHGEAR AND CONTROLGEAR –

#### Part 101: Synthetic testing

#### FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as “IEC Publication(s)”). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with an IEC Publication.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62271-101 has been prepared by subcommittee 17A: High-voltage switchgear and controlgear, of IEC technical committee 17: Switchgear and controlgear.

This second edition cancels and replaces the first edition published in 2006 and its Amendment 1 published in 2010. It constitutes a technical revision.

This edition includes the following significant technical changes with respect to the first edition:

- addition of the new rated voltages of 1 100 kV and 1 200 kV;
- revision of Annex F regarding circuit-breakers with opening resistors;
- alignment with the second edition of IEC 62271-100:2008 and its Amendment 1 (2012).

The text of this standard is based on the first edition of IEC 62271-101 and the following documents:

FDIS	Report on voting
17A/1015/FDIS	17A/1024/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

This publication shall be read in conjunction with IEC 62271-100, published in 2008, to which it refers. The numbering of the subclauses of Clause 6 is the same as in IEC 62271-100. However, not all subclauses of IEC 62271-100 are addressed; merely those where synthetic testing has introduced changes.

A list of all the parts in the IEC 62271 series, under the general title *High-voltage switchgear and controlgear*, can be found on the IEC website.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed;
- withdrawn;
- replaced by a revised edition, or
- amended.

**IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.**



## HIGH-VOLTAGE SWITCHGEAR AND CONTROLGEAR –

### Part 101: Synthetic testing

#### 1 Scope

This part of IEC 62271 mainly applies to a.c. circuit-breakers within the scope of IEC 62271-100. It provides the general rules for testing a.c. circuit-breakers, for making and breaking capacities over the range of test duties described in 6.102 to 6.111 of IEC 62271-100:2008, by synthetic methods.

It has been proven that synthetic testing is an economical and technically correct way to test high-voltage a.c. circuit-breakers according to the requirements of IEC 62271-100 and that it is equivalent to direct testing.

The methods and techniques described are those in general use. The purpose of this standard is to establish criteria for synthetic testing and for the proper evaluation of results. Such criteria will establish the validity of the test method without imposing restraints on innovation of test circuitry.

#### 2 Normative references

The following documents, in whole or in part, are normatively referenced in this document and are indispensable for its application. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 62271-100:2008, *High-voltage switchgear and controlgear – Part 100: Alternating current circuit-breakers*  
Amendment 1:2012

## SOMMAIRE

AVANT-PROPOS .....	169
1 Domaine d'application .....	171
2 Références normatives .....	171
3 Termes et définitions .....	171
4 Techniques et méthodes d'essais synthétiques pour les essais de coupure en court-circuit.....	173
4.1 Principes fondamentaux et exigences générales pour les méthodes d'essais synthétiques de coupure .....	173
4.1.1 Généralités .....	173
4.1.2 Période de fort courant .....	174
4.1.3 Période d'interaction .....	174
4.1.4 Période de haute tension .....	175
4.2 Circuit synthétiques et exigences spécifiques relatives aux essais de coupure.....	176
4.2.1 Méthodes par injection de courant .....	176
4.2.2 Méthode par injection de tension .....	177
4.2.3 Circuit de Skeats (ou par transformateur) .....	178
4.2.4 Autres méthodes d'essais synthétiques.....	178
4.3 Méthodes d'essais synthétiques triphasés.....	178
5 Techniques et méthodes d'essais synthétiques pour les essais d'établissement en court-circuit.....	182
5.1 Principes fondamentaux et exigences générales pour les méthodes d'essais synthétiques d'établissement .....	182
5.1.1 Généralités .....	182
5.1.2 Période de haute tension .....	183
5.1.3 Période de pré-amorçage .....	183
5.1.4 Périodes en position accrochée et de fermeture complète .....	183
5.2 Circuit d'essais synthétiques pour essais d'établissement et exigences spécifiques s'y rapportant.....	183
5.2.1 Généralités .....	183
5.2.2 Circuit d'essai .....	184
5.2.3 Exigences spécifiques .....	184
6 Exigences spécifiques pour les essais synthétiques de fermeture et de coupure relatives aux exigences de 6.102 à 6.111 de la CEI 62271-100:2008	184
Annexe A (informative) Déformation du courant .....	206
Annexe B (informative) Méthodes par injection de courant.....	222
Annexe C (informative) Méthodes par injection de tension .....	226
Annexe D (informative) Circuit de Skeats ou double transformateur.....	229
Annexe E (normative) Indications à donner et résultats à enregistrer lors d'essais synthétiques .....	232
Annexe F (normative) Méthodes d'essais synthétiques pour les disjoncteurs équipés de résistances d'ouverture .....	233
Annexe G (informative) Méthodes d'essais synthétiques pour l'essai d'établissement et de coupure de courants capacitifs.....	241
Annexe H (informative) Méthodes de réallumage pour l'entretien de l'arc .....	253
Annexe I (normative) Réduction du $di/dt$ et de la TTR pour la séquence d'essais T100a ...	256
Annexe J (informative) Circuits d'essais synthétiques triphasés.....	265

Annexe K (normative) Procédure d'essai utilisant un circuit de courant triphasé et un circuit de tension .....	273
Annexe L (normative) Séparation des séquences d'essais en séries d'essais en tenant compte de la TTR exacte de chaque pôle à couper .....	293
Annexe M (normative) Tolérances sur les paramètres d'essais lors des essais de type .....	316
Annexe N (informative) Circuits d'essai types pour les disjoncteurs sous enveloppe métallique et à cuve mise à la terre .....	319
Annexe O (informative) Combinaison des méthodes par injection de courant et par injection de tension.....	329
Bibliographie.....	332
Figure 1 – Processus de coupure – Périodes principales .....	197
Figure 2 – Exemples d'évaluation de la tension de rétablissement.....	198
Figure 3 – Impédance d'onde équivalente du circuit de tension pour la méthode par injection de courant .....	199
Figure 4 – Processus d'établissement – Instants principaux.....	200
Figure 5 – Circuit type d'essais synthétiques d'établissement pour les essais monophasés .....	201
Figure 6 – Circuit type d'essais synthétiques d'établissement pour les essais en discordance de phase.....	202
Figure 7 – Circuit type d'essais synthétiques d'établissement pour les essais triphasés ( $k_{pp} = 1,5$ ).....	203
Figure 8 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100s avec $k_{pp} = 1,5$ .....	204
Figure 9 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100a avec $k_{pp} = 1,5$ .....	205
Figure A.1 – Circuit direct, schéma simplifié .....	213
Figure A.2 – Courant de court-circuit présumé.....	213
Figure A.3 – Courant déformant.....	213
Figure A.4 – Courant déformant.....	214
Figure A.5 – Schéma de circuit simplifié .....	215
Figure A.6 – Caractéristiques du courant et de la tension d'arc pour courant symétrique.....	216
Figure A.7 – Caractéristiques de courant et de tension d'arc pour courant asymétrique .....	217
Figure A.8 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant .....	218
Figure A.9 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant .....	219
Figure A.10 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant .....	220
Figure A.11 – Réduction de l'amplitude et de la durée de la dernière alternance d'arc de courant .....	221
Figure B.1 – Circuit type à injection de courant où le circuit de tension est en parallèle avec le disjoncteur en essai.....	223
Figure B.2 – Séquence de l'injection du courant dans le circuit de la Figure B.1 .....	224
Figure B.3 – Exemples de détermination de la durée de changement significatif de la tension d'arc à partir d'oscillogrammes .....	225
Figure C.1 – Schéma caractéristique de l'injection de tension avec le circuit de tension en parallèle avec le disjoncteur auxiliaire (schéma simplifié).....	227

Figure C.2 – Formes d'ondes de TTR obtenues dans un circuit à injection de tension avec le circuit de tension en parallèle avec le disjoncteur auxiliaire .....	228
Figure D.1 – Circuit de Skeats ou par transformateur.....	230
Figure D.2 – Circuit de Skeats ou par transformateur déclenché.....	231
Figure F.1 – Circuit d'essais de vérification du réallumage thermique de l'interrupteur principal.....	237
Figure F.2 – Circuit d'essais de vérification du réallumage diélectrique de l'interrupteur principal.....	238
Figure F.3 – Circuit d'essais de l'interrupteur de résistance .....	239
Figure F.4 – Exemple de circuit d'essais pour essais d'établissement et de coupure de courants capacitifs sur l'interrupteur principal .....	240
Figure F.5 – Exemple de circuit d'essais pour essais d'établissement et de coupure de courants capacitifs sur l'interrupteur de résistance.....	240
Figure G.1 – Circuits de courant capacitif (mode parallèle) .....	244
Figure G.2 – Circuit à injection de courant .....	245
Figure G.3 – Circuit oscillant LC .....	246
Figure G.4 – Circuit de courant inductif en parallèle avec le circuit oscillant LC .....	247
Figure G.5 – Circuit à injection de courant, tension de rétablissement normale appliquée aux deux bornes du disjoncteur .....	248
Figure G.6 – Circuit d'essais synthétiques (circuit série), tension de rétablissement normale appliquée aux deux bornes du disjoncteur en essai.....	249
Figure G.7 – Circuit à injection de courant, tension de rétablissement appliquée aux deux bornes du disjoncteur .....	250
Figure G.8 – Circuit d'essai d'établissement .....	251
Figure G.9 – Circuit d'essai d'établissement du courant d'appel de fermeture .....	252
Figure H.1 – Schéma type du circuit de réallumage servant à prolonger la durée d'arc .....	254
Figure H.2 – Circuits combinés à injection de courant et de Skeats .....	254
Figure H.3 – Formes d'ondes typiques obtenues pendant un essai asymétrique en utilisant le circuit de la Figure H.2.....	255
Figure J.1 – Circuit combiné d'essais synthétiques triphasés .....	267
Figure J.2 – Formes d'ondes de courants, tensions phase-terre et entre phases pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,5$ ) réalisé conformément au circuit combiné d'essais synthétiques triphasés .....	268
Figure J.3 – Circuit d'essais synthétiques triphasés avec injection dans toutes les phases pour $k_{pp} = 1,5$ .....	269
Figure J.4 – Formes d'ondes de courants et tensions phase-terre pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,5$ ) réalisé conformément au circuit d'essais synthétiques triphasés avec injection dans toutes les phases .....	270
Figure J.5 – Circuit d'essais synthétiques triphasés pour les essais de défauts aux bornes avec $k_{pp} = 1,3$ (méthode par injection de courant) .....	271
Figure J.6 – Formes d'ondes de courants, tensions phase-terre et entre phases pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,3$ ) réalisé conformément au circuit d'essais synthétiques triphasés représenté à la Figure J.5 .....	271
Figure J.7 – Formes d'ondes de la TTR du circuit d'essai décrit à la Figure J.5 .....	272
Figure K.1 – Exemple d'un circuit de courant triphasé avec une injection synthétique monophasée .....	284
Figure K.2 – Représentation des conditions d'essais du Tableau K.1.....	285
Figure K.3 – Représentation des conditions d'essais du Tableau K.2.....	286
Figure K.4 – Représentation des conditions d'essais du Tableau K.3.....	287

Figure K.5 – Représentation des conditions d’essais du Tableau K.4.....	288
Figure K.6 – Représentation des conditions d’essais du Tableau K.5.....	289
Figure K.7 – Représentation des conditions d’essais du Tableau K.6.....	290
Figure K.8 – Représentation des conditions d’essais du Tableau K.7.....	291
Figure K.9 – Représentation des conditions d’essais du Tableau K.8.....	292
Figure L.1 – Représentation graphique de l’essai représenté au Tableau L.6.....	303
Figure L.2 – Représentation graphique de l’essai représenté au Tableau L.7.....	304
Figure N.1 – Circuit d’essai pour essais par éléments séparés (disjoncteur avec interaction due à la circulation de gaz).....	320
Figure N.2 – Essais d’un demi-pôle d’un disjoncteur dans le circuit d’essai donné à la Figure N.1 – Exemple des TTR requises devant être appliquées entre les bornes de l’unité (des unités) soumise(s) à l’essai et entre les parties sous tension et l’enveloppe isolée.....	321
Figure N.3 – Circuit d’essai synthétique pour essais par éléments séparés (si l’essai par éléments séparés est autorisé par le 6.102.4.2 de la CEI 62271-100:2008).....	322
Figure N.4 – Essais d’un demi-pôle d’un disjoncteur dans le circuit d’essai de la Figure N.3 – Exemple des TTR requises devant être appliquées entre les bornes de l’unité (des unités) soumise(s) à l’essai et entre les parties sous tension et l’enveloppe isolée.....	323
Figure N.5 – Circuit pour essais capacitifs avec injection de courant avec enveloppe du disjoncteur sous tension.....	324
Figure N.6 – Circuit synthétique pour essais capacitifs utilisant deux sources à fréquence industrielle et avec l’enveloppe du disjoncteur sous tension.....	325
Figure N.7 – Circuit synthétique pour essais capacitifs avec injection de courant – Exemple d’essais par éléments séparés d’un demi-pôle d’un disjoncteur ayant deux éléments par pôle – Enveloppe alimentée par une source de tension c.c.....	326
Figure N.8 – Circuit d’essai synthétique symétrique pour les essais d’établissement et de coupure en discordance de phases d’un pôle complet de disjoncteur.....	327
Figure N.9 – Essai de pôle complet avec une tension appliquée aux bornes et à l’enveloppe métallique.....	328
Figure O.1 – Exemple de circuit combiné d’injection de courant et de tension avec application de la tension d’essai complète par rapport à la terre.....	330
Figure O.2 – Exemple de circuit combiné d’injection de courant et de tension avec application séparée de la tension d’essai.....	331
Tableau 1 – Circuits d’essais pour les séquences d’essais T100s et T100a.....	180
Tableau 2 – Paramètres d’essais pendant la coupure triphasée pour les séquences T10, T30, T60 et T100s $k_{pp} = 1,5$ .....	180
Tableau 3 – Paramètres d’essais pendant la coupure triphasée pour les séquences T10, T30, T60 et T100s $k_{pp} = 1,3$ .....	181
Tableau 4 – Paramètres d’essais pendant la coupure triphasée pour les séquences T10, T30, T60 et T100s $k_{pp} = 1,2$ .....	182
Tableau 5 – Méthodes d’essais synthétiques pour les séquences d’essais T10, T30, T60, T100s, T100a, SP, DEF, OP et SLF.....	195
Tableau I.1 – Réduction du $di/dt$ de la dernière alternance pour 50 Hz pour $k_{pp} = 1,3$ et $1,5$ .....	256
Tableau I.2 – Réduction du $di/dt$ de la dernière alternance pour 50 Hz pour $k_{pp} = 1,2$ .....	257
Tableau I.3 – Réduction du $di/dt$ de la dernière alternance pour 60 Hz pour $k_{pp} = 1,3$ et $1,5$ .....	258
Tableau I.4 – Réduction du $di/dt$ de la dernière alternance pour 60 Hz pour $k_{pp} = 1,2$ .....	259
Tableau I.5 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{pp} = 1,3$ et $f_r = 50$ Hz.....	260

Tableau I.6 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{pp} = 1,3$ et $f_r = 60$ Hz.....	261
Tableau I.7 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{pp} = 1,5$ et $f_r = 50$ Hz.....	262
Tableau I.8 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{pp} = 1,5$ et $f_r = 60$ Hz.....	263
Tableau I.9 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{pp} = 1,2$ et $f_r = 50$ Hz.....	263
Tableau I.10 – Valeurs corrigées de TTR pour le premier pôle à couper pour $k_{pp} = 1,2$ et $f_r = 60$ Hz.....	264
Tableau K.1 – Démonstration des durées d’arc pour $k_{pp} = 1,5$ .....	274
Tableau K.2 – Démonstration alternative des durées d’arc pour $k_{pp} = 1,5$ .....	275
Tableau K.3 – Démonstration des durées d’arc pour $k_{pp} = 1,3$ .....	276
Tableau K.4 – Démonstration alternative des durées d’arc pour $k_{pp} = 1,3$ .....	277
Tableau K.5 – Démonstration des durées d’arc pour $k_{pp} = 1,5$ .....	278
Tableau K.6 – Démonstration alternative des durées d’arc pour $k_{pp} = 1,5$ .....	279
Tableau K.7 – Démonstration des durées d’arc pour $k_{pp} = 1,3$ .....	280
Tableau K.8 – Démonstration alternative des durées d’arc pour $k_{pp} = 1,3$ .....	281
Tableau K.9 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pendant les séquences d’essais T10, T30, T60 et T100s(b).....	282
Tableau K.10 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pendant la séquence d’essais T100a .....	283
Tableau L.1 – Procédure d’essai pour $k_{pp} = 1,5$ .....	295
Tableau L.2 – Procédure d’essai pour $k_{pp} = 1,3$ .....	296
Tableau L.3 – Procédure d’essai simplifiée pour $k_{pp} = 1,3$ .....	297
Tableau L.4 – Procédure d’essai pour $k_{pp} = 1,2$ .....	298
Tableau L.5 – Procédure d’essai simplifiée pour $k_{pp} = 1,2$ .....	299
Tableau L.6 – Procédure d’essai pour des courants asymétriques dans le cas $k_{pp} = 1,5$ ....	300
Tableau L.7 – Procédure d’essai pour des courants asymétriques dans le cas $k_{pp} = 1,3$ ....	301
Tableau L.8 – Procédure d’essai pour des courants asymétriques dans le cas $k_{pp} = 1,2$ ....	302
Tableau L.9 – Paramètres d’essais requis pour les différentes conditions asymétriques pour $k_{pp} = 1,5, f_r = 50$ Hz.....	305
Tableau L.10 – Paramètres d’essais requis pour les différentes conditions asymétriques pour $k_{pp} = 1,3, f_r = 50$ Hz.....	307
Tableau L.11 – Paramètres d’essais requis pour les différentes conditions asymétriques pour $k_{pp} = 1,2, f_r = 50$ Hz.....	308
Tableau L.12 – Paramètres d’essais requis pour les différentes conditions asymétriques pour $k_{pp} = 1,5, f_r = 60$ Hz.....	309
Tableau L.13 – Paramètres d’essais requis pour les différentes conditions asymétriques pour $k_{pp} = 1,3, f_r = 60$ Hz.....	311
Tableau L.14 – Paramètres d’essais requis pour les différentes conditions asymétriques pour $k_{pp} = 1,2, f_r = 60$ Hz.....	313
Tableau L.15 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pendant les séquences d’essais T10, T30, T60 et T100s(b).....	314
Tableau L.16 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pendant la séquence d’essais T100a .....	315
Tableau M.1 – Tolérances sur les paramètres d’essais lors des essais de type (1 de 2) .....	317

## COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

### APPAREILLAGE À HAUTE TENSION –

#### Partie 101: Essais synthétiques

#### AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de la CEI. La CEI n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de brevet. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale CEI 62271-101 a été établie par le sous-comité 17A: Appareillage à haute tension, du comité d'études 17 de la CEI: Appareillage.

Cette deuxième édition annule et remplace la première édition parue en 2006 et l'Amendement 1 paru en 2010. Elle constitue une révision technique.

Les principales modifications par rapport à la précédente édition sont les suivantes:

- ajout des nouvelles tensions assignées 1 100 kV et 1 200 kV;
- révision de l'Annexe F qui traite des disjoncteurs équipés de résistances d'ouverture;
- alignement avec la deuxième édition de la CEI 62271-100:2008 et Amendement 1 (2012).

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
17A/1015/FDIS	17A/1024/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Cette publication doit être lue conjointement avec la CEI 62271-100, parue en 2008, auquel elle se réfère. La numérotation des paragraphes de l'Article 6 reprend celle de la CEI 62271-100. Néanmoins, tous les paragraphes de la CEI 62271-100 ne sont pas concernés, uniquement ceux où les essais synthétiques ont introduit des changements.

Une liste de toutes les parties de la série CEI 62271, présentée sous le titre général *Appareillage à haute tension*, peut être consultée sur le site web de la CEI.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de la CEI sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

**IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.**



## **APPAREILLAGE À HAUTE TENSION –**

### **Partie 101: Essais synthétiques**

#### **1 Domaine d'application**

La présente partie de la CEI 62271 s'applique principalement aux disjoncteurs à courant alternatif définis dans le domaine d'application de la CEI 62271-100. Elle donne les règles générales d'essais de ces disjoncteurs, pour les pouvoirs de fermeture et de coupure dans la gamme des séquences d'essais décrites de 6.102 à 6.111 de la CEI 62271-100:2008, à l'aide de méthodes d'essais synthétiques.

Il a été démontré que l'essai synthétique est un moyen économique et techniquement valable pour essayer les disjoncteurs à courant alternatif à haute tension selon les exigences de la CEI 62271-100, et qu'il est équivalent à un essai direct.

Les méthodes et techniques décrites sont celles d'usage courant. L'objet de la présente norme est d'établir des critères pour les essais synthétiques et pour l'évaluation correcte des résultats. Ces critères établissent la validité de la méthode d'essai sans limiter l'invention de nouveaux circuits d'essais.

#### **2 Références normatives**

Les documents suivants sont cités en référence de manière normative, en intégralité ou en partie, dans le présent document et sont indispensables pour son application. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

CEI 62271-100:2008, *Appareillage à haute tension – Partie 100: Disjoncteurs à courant alternatif*  
Amendement 1:2012