

# INTERNATIONAL STANDARD

# NORME INTERNATIONALE



**Universal serial bus interfaces for data and power –  
Part 1: Universal serial bus specification, revision 2.0**

**Interfaces de bus universel en série pour les données et l'alimentation  
électrique –  
Partie 1: Spécification du bus universel en série, révision 2.0**

INTERNATIONAL  
ELECTROTECHNICAL  
COMMISSION

COMMISSION  
ELECTROTECHNIQUE  
INTERNATIONALE

ICS 35.200

ISBN 978-2-8322-1083-3

**Warning! Make sure that you obtained this publication from an authorized distributor.  
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

## INTERNATIONAL ELECTROTECHNICAL COMMISSION

### UNIVERSAL SERIAL BUS INTERFACES FOR DATA AND POWER –

#### Part 1: Universal serial bus specification, revision 2.0

#### FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as “IEC Publication(s)”). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62680-1 has been prepared by technical area 14: Interfaces and methods of measurement for personal computing equipment, of IEC technical committee 100: Audio, video and multimedia systems and equipment.

The text of this standard is based on documents prepared by the USB Implementers Forum (USB-IF). The structure and editorial rules used in this publication reflect the practice of the organization which submitted it.

The text of this standard is based on the following documents:

FDIS	Report on voting
100/2156/FDIS	100/2188/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

A list of all the parts in the IEC 62680 series, published under the general title *Universal serial bus interfaces for data and power* can be found on the IEC website.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC web site under "http://webstore.iec.ch" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

**IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.**

## INTRODUCTION

The IEC 62680 series is based on a series of specifications that were originally developed by the USB Implementers Forum (USB-IF). These specifications were submitted to the IEC under the auspices of a special agreement between the IEC and the USB IF.

The USB Implementers Forum, Inc.(USB-IF) is a non-profit corporation founded by the group of companies that developed the Universal Serial Bus specification. The USB-IF was formed to provide a support organization and forum for the advancement and adoption of Universal Serial Bus technology. The Forum facilitates the development of high-quality compatible USB peripherals (devices), and promotes the benefits of USB and the quality of products that have passed compliance testing.

**ANY USB SPECIFICATIONS ARE PROVIDED TO YOU "AS IS, "WITH NO WARRANTIES WHATSOEVER, INCLUDING ANY WARRANTY OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE. THE USB IMPLEMENTERS FORUM AND THE AUTHORS OF ANY USB SPECIFICATIONS DISCLAIM ALL LIABILITY, INCLUDING LIABILITY FOR INFRINGEMENT OF ANY PROPRIETARY RIGHTS, RELATING TO USE OR IMPLEMENTATION OR INFORMATION IN THIS SPECIFICATION.**

**THE PROVISION OF ANY USB SPECIFICATIONS TO YOU DOES NOT PROVIDE YOU WITH ANY LICENSE, EXPRESS OR IMPLIED, BY ESTOPPEL OR OTHERWISE, TO ANY INTELLECTUAL PROPERTY RIGHTS.**

Entering into USB Adopters Agreements may, however, allow a signing company to participate in a reciprocal, royalty-free licensing arrangement for compliant products. For more information, please see:

<http://www.usb.org/developers/docs/>  
[http://www.usb.org/developers/devclass\\_docs#approved](http://www.usb.org/developers/devclass_docs#approved)

IEC DOES NOT TAKE ANY POSITION AS TO WHETHER IT IS ADVISABLE FOR YOU TO ENTER INTO ANY USB ADOPTERS AGREEMENTS OR TO PARTICIPATE IN THE USB IMPLEMENTERS FORUM."

This series covers the Universal Serial Bus interfaces for data and power and consists of the following parts:

IEC 62680-1, *Universal Serial Bus interfaces for data and power - Part 1: Universal Serial Bus Specification, Revision 2.0*

IEC 62680-2, *Universal Serial Bus interfaces for data and power - Part 2: USB Micro-USB Cables and Connectors Specification, Revision 1.01*

IEC 62680-3, *Universal Serial Bus interfaces for data and power - Part 3: USB Battery Charging Specification, Revision 1.2*

IEC 62680-4, *Universal Serial Bus interfaces for data and power - Part 4: Universal Serial Bus Cables and Connectors Class Document Revision. 2.0*

This part of the IEC 62680 series consists of several distinct parts:

- the main body of the text, which consists of the original specification and all ECN and Errata developed by the USB-IF;

## CONTENTS

1	Chapter 1 Introduction	17
1.1	Motivation	17
1.2	Objective of the Specification	17
1.3	Scope of the Document	18
1.4	USB Product Compliance	18
1.5	Document Organization	18
2	Chapter 2 Terms and Abbreviations	19
3	Chapter 3 Background	25
3.1	Goals for the Universal Serial Bus	25
3.2	Taxonomy of Application Space	25
3.3	Feature List	26
4	Chapter 4 Architectural Overview	28
4.1	USB System Description	28
4.1.1	Bus Topology	28
4.2	Physical Interface	29
4.2.1	Electrical	30
4.2.2	Mechanical	30
4.3	Power	30
4.3.1	Power Distribution	31
4.3.2	Power Management	31
4.4	Bus Protocol	31
4.5	Robustness	31
4.5.1	Error Detection	32
4.5.2	Error Handling	32
4.6	System Configuration	32
4.6.1	Attachment of USB Devices	32
4.6.2	Removal of USB Devices	32
4.6.3	Bus Enumeration	32
4.7	Data Flow Types	33
4.7.1	Control Transfers	33
4.7.2	Bulk Transfers	33
4.7.3	Interrupt Transfers	33
4.7.4	Isochronous Transfers	33
4.7.5	Allocating USB Bandwidth	34
4.8	USB Devices	34
4.8.1	Device Characterizations	34
4.8.2	Device Descriptions	35
4.9	USB Host: Hardware and Software	37
4.10	Architectural Extensions	37
5	Chapter 5 USB Data Flow Model	38
5.1	Implementer Viewpoints	38
5.2	Bus Topology	39
5.2.1	USB Host	40
5.2.2	USB Devices	40

5.2.3	Physical Bus Topology .....	41
5.2.4	Logical Bus Topology .....	42
5.2.5	Client Software-to-function Relationship .....	43
5.3	USB Communication Flow .....	43
5.3.1	Device Endpoints.....	45
5.3.2	Pipes .....	46
5.3.3	Frames and Microframes .....	48
5.4	Transfer Types .....	48
5.4.1	Table Calculation Examples .....	49
5.5	Control Transfers .....	50
5.5.1	Control Transfer Data Format .....	50
5.5.2	Control Transfer Direction .....	51
5.5.3	Control Transfer Packet Size Constraints .....	51
5.5.4	Control Transfer Bus Access Constraints.....	52
5.5.5	Control Transfer Data Sequences .....	54
5.6	Isochronous Transfers.....	55
5.6.1	Isochronous Transfer Data Format .....	55
5.6.2	Isochronous Transfer Direction .....	55
5.6.3	Isochronous Transfer Packet Size Constraints.....	55
5.6.4	Isochronous Transfer Bus Access Constraints .....	57
5.6.5	Isochronous Transfer Data Sequences .....	58
5.7	Interrupt Transfers.....	58
5.7.1	Interrupt Transfer Data Format .....	58
5.7.2	Interrupt Transfer Direction.....	58
5.7.3	Interrupt Transfer Packet Size Constraints .....	58
5.7.4	Interrupt Transfer Bus Access Constraints.....	59
5.7.5	Interrupt Transfer Data Sequences .....	62
5.8	Bulk Transfers.....	62
5.8.1	Bulk Transfer Data Format.....	62
5.8.2	Bulk Transfer Direction .....	62
5.8.3	Bulk Transfer Packet Size Constraints.....	62
5.8.4	Bulk Transfer Bus Access Constraints .....	63
5.8.5	Bulk Transfer Data Sequences .....	64
5.9	High-Speed, High Bandwidth Endpoints .....	65
5.9.1	High Bandwidth Interrupt Endpoints.....	65
5.9.2	High Bandwidth Isochronous Endpoints .....	66
5.10	Split Transactions.....	67
5.11	Bus Access for Transfers .....	67
5.11.1	Transfer Management.....	68
5.11.2	Transaction Tracking .....	70
5.11.3	Calculating Bus Transaction Times.....	72
5.11.4	Calculating Buffer Sizes in Functions and Software .....	74
5.11.5	Bus Bandwidth Reclamation .....	74
5.12	Special Considerations for Isochronous Transfers .....	74
5.12.1	Example Non-USB Isochronous Application.....	75
5.12.2	USB Clock Model .....	77

5.12.3	Clock Synchronization .....	79
5.12.4	Isochronous Devices .....	79
5.12.5	Data Prebuffering .....	87
5.12.6	SOF Tracking .....	88
5.12.7	Error Handling .....	88
5.12.8	Buffering for Rate Matching .....	89
6	Chapter 6 Mechanical.....	91
6.1	Architectural Overview .....	91
6.2	Keyed Connector Protocol.....	91
6.3	Cable .....	92
6.4	Cable Assembly .....	92
6.4.1	Standard Detachable Cable Assemblies .....	92
6.4.2	High-/full-speed Captive Cable Assemblies.....	94
6.4.3	Low-speed Captive Cable Assemblies .....	96
6.4.4	Prohibited Cable Assemblies .....	98
6.5	Connector Mechanical Configuration and Material Requirements .....	98
6.5.1	USB Icon Location.....	99
6.5.2	USB Connector Termination Data .....	99
6.5.3	Series “A” and Series “B” Receptacles.....	100
6.5.4	Series “A” and Series “B” Plugs.....	103
6.6	Cable Mechanical Configuration and Material Requirements .....	106
6.6.1	Description .....	107
6.6.2	Construction .....	107
6.6.3	Electrical Characteristics .....	110
6.6.4	Cable Environmental Characteristics .....	110
6.6.5	Listing .....	110
6.7	Electrical, Mechanical, and Environmental Compliance Standards.....	110
6.7.1	Applicable Documents .....	116
6.8	USB Grounding.....	116
6.9	PCB Reference Drawings .....	116
7	Chapter 7 Electrical.....	120
7.1	Signaling .....	120
7.1.1	USB Driver Characteristics .....	123
7.1.2	Data Signal Rise and Fall, Eye Patterns .....	130
7.1.3	Cable Skew .....	139
7.1.4	Receiver Characteristics.....	139
7.1.5	Device Speed Identification .....	141
7.1.6	Input Characteristics.....	142
7.1.7	Signaling Levels .....	145
7.1.8	Data Encoding/Decoding .....	158
7.1.9	Bit Stuffing .....	158
7.1.10	Sync Pattern.....	160
7.1.11	Data Signaling Rate.....	160
7.1.12	Frame Interval .....	160
7.1.13	Data Source Signaling .....	161
7.1.14	Hub Signaling Timings.....	163

7.1.15	Receiver Data Jitter .....	164
7.1.16	Cable Delay .....	166
7.1.17	Cable Attenuation .....	167
7.1.18	Bus Turn-around Time and Inter-packet Delay .....	168
7.1.19	Maximum End-to-end Signal Delay .....	169
7.1.20	Test Mode Support .....	170
7.2	Power Distribution .....	171
7.2.1	Classes of Devices .....	171
7.2.2	Voltage Drop Budget .....	175
7.2.3	Power Control During Suspend/Resume .....	176
7.2.4	Dynamic Attach and Detach .....	177
7.3	Physical Layer .....	178
7.3.1	Regulatory Requirements .....	178
7.3.2	Bus Timing/Electrical Characteristics .....	178
7.3.3	Timing Waveforms .....	188
8	Chapter 8 Protocol Layer .....	191
8.1	Byte/Bit Ordering .....	191
8.2	SYNC Field .....	191
8.3	Packet Field Formats .....	191
8.3.1	Packet Identifier Field .....	191
8.3.2	Address Fields .....	192
8.3.3	Frame Number Field .....	193
8.3.4	Data Field .....	193
8.3.5	Cyclic Redundancy Checks .....	194
8.4	Packet Formats .....	194
8.4.1	Token Packets .....	194
8.4.2	Split Transaction Special Token Packets .....	195
8.4.3	Start-of-Frame Packets .....	200
8.4.4	Data Packets .....	201
8.4.5	Handshake Packets .....	202
8.4.6	Handshake Responses .....	203
8.5	Transaction Packet Sequences .....	204
8.5.1	NAK Limiting via Ping Flow Control .....	213
8.5.2	Bulk Transactions .....	217
8.5.3	Control Transfers .....	222
8.5.4	Interrupt Transactions .....	225
8.5.5	Isochronous Transactions .....	225
8.6	Data Toggle Synchronization and Retry .....	230
8.6.1	Initialization via SETUP Token .....	231
8.6.2	Successful Data Transactions .....	231
8.6.3	Data Corrupted or Not Accepted .....	231
8.6.4	Corrupted ACK Handshake .....	232
8.6.5	Low-speed Transactions .....	233
8.7	Error Detection and Recovery .....	234
8.7.1	Packet Error Categories .....	234
8.7.2	Bus Turn-around Timing .....	234



8.7.3	False EOPs .....	235
8.7.4	Babble and Loss of Activity Recovery .....	236
9	Chapter 9 USB Device Framework .....	237
9.1	USB Device States .....	237
9.1.1	Visible Device States .....	237
9.1.2	Bus Enumeration .....	241
9.2	Generic USB Device Operations .....	241
9.2.1	Dynamic Attachment and Removal .....	242
9.2.2	Address Assignment .....	242
9.2.3	Configuration .....	242
9.2.4	Data Transfer .....	243
9.2.5	Power Management .....	243
9.2.6	Request Processing .....	243
9.2.7	Request Error .....	245
9.3	USB Device Requests .....	246
9.3.1	bmRequestType .....	246
9.3.2	bRequest .....	246
9.3.3	wValue .....	246
9.3.4	wIndex .....	247
9.3.5	wLength .....	247
9.4	Standard Device Requests .....	247
9.4.1	Clear Feature .....	249
9.4.2	Get Configuration .....	250
9.4.3	Get Descriptor .....	250
9.4.4	Get Interface .....	251
9.4.5	Get Status .....	251
9.4.6	Set Address .....	253
9.4.7	Set Configuration .....	253
9.4.8	Set Descriptor .....	254
9.4.9	Set Feature .....	254
9.4.10	Set Interface .....	255
9.4.11	Synch Frame .....	256
9.5	Descriptors .....	256
9.6	Standard USB Descriptor Definitions .....	257
9.6.1	Device .....	257
9.6.2	Device_Qualifier .....	259
9.6.3	Configuration .....	259
9.6.4	Other_Speed_Configuration .....	261
9.6.5	Interface .....	261
9.6.6	Endpoint .....	263
9.6.7	String .....	266
9.7	Device Class Definitions .....	267
9.7.1	Descriptors .....	267
9.7.2	Interface(s) and Endpoint Usage .....	267
9.7.3	Requests .....	268
10	Chapter 10 USB Host: Hardware and Software .....	269

10.1	Overview of the USB Host .....	269
10.1.1	Overview .....	269
10.1.2	Control Mechanisms .....	272
10.1.3	Data Flow .....	272
10.1.4	Collecting Status and Activity Statistics .....	273
10.1.5	Electrical Interface Considerations .....	273
10.2	Host Controller Requirements.....	273
10.2.1	State Handling.....	273
10.2.2	Serializer/Deserializer .....	274
10.2.3	Frame and Microframe Generation .....	274
10.2.4	Data Processing .....	275
10.2.5	Protocol Engine .....	275
10.2.6	Transmission Error Handling .....	275
10.2.7	Remote Wakeup .....	276
10.2.8	Root Hub .....	276
10.2.9	Host System Interface .....	276
10.3	Overview of Software Mechanisms .....	276
10.3.1	Device Configuration .....	276
10.3.2	Resource Management.....	278
10.3.3	Data Transfers.....	279
10.3.4	Common Data Definitions.....	280
10.4	Host Controller Driver.....	280
10.5	Universal Serial Bus Driver.....	281
10.5.1	USB D Overview .....	281
10.5.2	USB D Command Mechanism Requirements .....	282
10.5.3	USB D Pipe Mechanisms.....	284
10.5.4	Managing the USB via the USB D Mechanisms .....	286
10.5.5	Passing USB Preboot Control to the Operating System .....	288
10.6	Operating System Environment Guides .....	289
11	Chapter 11 Hub Specification .....	290
11.1	Overview.....	290
11.1.1	Hub Architecture.....	290
11.1.2	Hub Connectivity .....	291
11.2	Hub Frame/Microframe Timer .....	293
11.2.1	High-speed Microframe Timer Range.....	293
11.2.2	Full-speed Frame Timer Range .....	293
11.2.3	Frame/Microframe Timer Synchronization.....	294
11.2.4	Microframe Jitter Related to Frame Jitter .....	296
11.2.5	EOF1 and EOF2 Timing Points .....	296
11.3	Host Behavior at End-of-Frame .....	299
11.3.1	Full-/low-speed Latest Host Packet.....	299
11.3.2	Full-/low-speed Packet Nullification .....	299
11.3.3	Full-/low-speed Transaction Completion Prediction.....	299
11.4	Internal Port .....	300
11.4.1	Inactive .....	301
11.4.2	Suspend Delay .....	301

11.4.3	Full Suspend (Fsus) .....	301
11.4.4	Generate Resume (GResume).....	301
11.5	Downstream Facing Ports.....	301
11.5.1	Downstream Facing Port State Descriptions .....	303
11.5.2	Disconnect Detect Timer .....	307
11.5.3	Port Indicator.....	308
11.6	Upstream Facing Port.....	309
11.6.1	Full-speed .....	309
11.6.2	High-speed.....	310
11.6.3	Receiver.....	310
11.6.4	Transmitter.....	313
11.7	Hub Repeater.....	314
11.7.1	High-speed Packet Connectivity .....	315
11.7.2	Hub Repeater State Machine.....	317
11.7.3	Wait for Start of Packet from Upstream Port (WFSOPFU).....	319
11.7.4	Wait for End of Packet from Upstream Port (WFEOPFU).....	319
11.7.5	Wait for Start of Packet (WFSOP).....	319
11.7.6	Wait for End of Packet (WFEOP).....	319
11.8	Bus State Evaluation.....	319
11.8.1	Port Error .....	320
11.8.2	Speed Detection.....	320
11.8.3	Collision .....	320
11.8.4	Low-speed Port Behavior.....	321
11.9	Suspend and Resume .....	321
11.10	Hub Reset Behavior.....	323
11.11	Hub Port Power Control.....	324
11.11.1	Multiple Gangs.....	324
11.12	Hub Controller .....	325
11.12.1	Endpoint Organization.....	325
11.12.2	Hub Information Architecture and Operation.....	325
11.12.3	Port Change Information Processing.....	326
11.12.4	Hub and Port Status Change Bitmap.....	327
11.12.5	Over-current Reporting and Recovery.....	328
11.12.6	Enumeration Handling.....	329
11.13	Hub Configuration.....	329
11.14	Transaction Translator.....	330
11.14.1	Overview.....	331
11.14.2	Transaction Translator Scheduling.....	333
11.15	Split Transaction Notation Information .....	335
11.16	Common Split Transaction State Machines.....	338
11.16.1	Host Controller State Machine.....	339
11.16.2	Transaction Translator State Machine.....	343
11.17	Bulk/Control Transaction Translation Overview.....	348
11.17.1	Bulk/Control Split Transaction Sequences.....	349
11.17.2	Bulk/Control Split Transaction State Machines.....	355
11.17.3	Bulk/Control Sequencing.....	360

11.17.4	Bulk/Control Buffering Requirements .....	361
11.17.5	Other Bulk/Control Details.....	361
11.18	Periodic Split Transaction Pipelining and Buffer Management.....	361
11.18.1	Best Case Full-Speed Budget .....	362
11.18.2	TT Microframe Pipeline .....	362
11.18.3	Generation of Full-speed Frames .....	363
11.18.4	Host Split Transaction Scheduling Requirements .....	363
11.18.5	TT Response Generation .....	366
11.18.6	TT Periodic Transaction Handling Requirements.....	367
11.18.7	TT Transaction Tracking .....	369
11.18.8	TT Complete-split Transaction State Searching.....	370
11.19	Approximate TT Buffer Space Required .....	371
11.20	Interrupt Transaction Translation Overview.....	371
11.20.1	Interrupt Split Transaction Sequences.....	371
11.20.2	Interrupt Split Transaction State Machines.....	375
11.20.3	Interrupt OUT Sequencing .....	381
11.20.4	Interrupt IN Sequencing .....	382
11.21	Isochronous Transaction Translation Overview.....	383
11.21.1	Isochronous Split Transaction Sequences.....	384
11.21.2	Isochronous Split Transaction State Machines.....	387
11.21.3	Isochronous OUT Sequencing.....	391
11.21.4	Isochronous IN Sequencing .....	392
11.22	TT Error Handling .....	392
11.22.1	Loss of TT Synchronization With HS SOFs .....	392
11.22.2	TT Frame and Microframe Timer Synchronization Requirements.....	393
11.23	Descriptors.....	395
11.23.1	Standard Descriptors for Hub Class .....	395
11.23.2	Class-specific Descriptors.....	403
11.24	Requests.....	404
11.24.1	Standard Requests .....	404
11.24.2	Class-specific Requests.....	405
Appendix A	Transaction Examples .....	421
A.1	Bulk/Control OUT and SETUP Transaction Examples.....	421
A.2	Bulk/Control IN Transaction Examples .....	445
A.3	Interrupt OUT Transaction Examples.....	469
A.4	Interrupt IN Transaction Examples .....	488
A.5	Isochronous OUT Split-transaction Examples.....	510
A.6	Isochronous IN Split-transaction Examples.....	519
Appendix B	Example Declarations for State Machines.....	533
B.1	Global Declarations.....	533
B.2	Host Controller Declarations.....	536
B.3	Transaction Translator Declarations .....	538
Appendix C	Reset Protocol State Diagrams.....	542
C.1	Downstream Facing Port State Diagram .....	542
C.2	Upstream Facing Port State Diagram .....	544
Index	.....	549

**Note: All Engineering Change Notice's (ECN) and Errata documents as of September 01, 2012 that pertain to this core specification follow the last page of the specification starting on page 619.**

Withdrawn

## Universal Serial Bus Specification

**Compaq  
Hewlett-Packard  
Intel  
Lucent  
Microsoft  
NEC  
Philips**

**Revision 2.0  
April 27, 2000**

### Scope of this Revision

The 2.0 revision of the specification is intended for product design. Every attempt has been made to ensure a consistent and implementable specification. Implementations should ensure compliance with this revision.

### Revision History

Revision	Issue Date	Comments
0.7	November 11, 1994	Supersedes 0.6e.
0.8	December 30, 1994	Revisions to Chapters 3-8, 10, and 11. Added appendixes.
0.9	April 13, 1995	Revisions to all the chapters.
0.99	August 25, 1995	Revisions to all the chapters.
1.0 FDR	November 13, 1995	Revisions to Chapters 1, 2, 5-11.
1.0	January 15, 1996	Edits to Chapters 5, 6, 7, 8, 9, 10, and 11 for consistency.
1.1	September 23, 1998	Updates to all chapters to fix problems identified.
2.0 (draft 0.79)	October 5, 1999	Revisions to chapters 5, 7, 8, 9, 11 to add high speed.
2.0 (draft 0.9)	December 21, 1999	Revisions to all chapters to add high speed.
2.0	April 27, 2000	Revisions for high-speed mode.

**Universal Serial Bus Specification  
Copyright © 2000, Compaq Computer Corporation,  
Hewlett-Packard Company,  
Intel Corporation,  
Lucent Technologies Inc,  
Microsoft Corporation,  
NEC Corporation,  
Koninklijke Philips Electronics N.V.  
All rights reserved.**

## INTELLECTUAL PROPERTY DISCLAIMER

THIS SPECIFICATION IS PROVIDED TO YOU "AS IS" WITH NO WARRANTIES WHATSOEVER, INCLUDING ANY WARRANTY OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE. THE AUTHORS OF THIS SPECIFICATION DISCLAIM ALL LIABILITY, INCLUDING LIABILITY FOR INFRINGEMENT OF ANY PROPRIETARY RIGHTS, RELATING TO USE OR IMPLEMENTATION OF INFORMATION IN THIS SPECIFICATION. THE PROVISION OF THIS SPECIFICATION TO YOU DOES NOT PROVIDE YOU WITH ANY LICENSE, EXPRESS OR IMPLIED, BY ESTOPPEL OR OTHERWISE, TO ANY INTELLECTUAL PROPERTY RIGHTS.

All product names are trademarks, registered trademarks, or servicemarks of their respective owners.

Please send comments via electronic mail to [techsup@usb.org](mailto:techsup@usb.org)

For industry information, refer to the USB Implementers Forum web page at <http://www.usb.org>

### Acknowledgement of USB 2.0 Technical Contribution

The authors of this specification would like to recognize the following people who participated in the USB 2.0 Promoter Group technical working groups. We would also like to thank others in the USB 2.0 Promoter companies and throughout the industry who contributed to the development of this specification.

#### Hub Working Group

John Garney	Intel Corporation (Chair/Editor)
Ken Stufflebeam	Compaq Computer Corporation
David Wooten	Compaq Computer Corporation
Matt Nieberger	Hewlett-Packard Company
John Howard	Intel Corporation
Venkat Iyer	Intel Corporation
Steve McGowan	Intel Corporation
Geert Knapen	Royal Philips Electronics
Zong Liang Wu	Royal Philips Electronics
Jim Clee	Lucent Technologies Inc
Jim Guziak	Lucent Technologies Inc
Dave Thompson	Lucent Technologies Inc
John Fuller	Microsoft Corporation
Nathan Sherman	Microsoft Corporation
Mark Williams	Microsoft Corporation
Nobuo Furuya	NEC Corporation
Toshimi Sakurai	NEC Corporation
Moto Sato	NEC Corporation
Katsuya Suzuki	NEC Corporation

### Electrical Working Group

Jon Lueker	Intel Corporation (Chair/Editor)
David Wooten	Compaq Computer Corporation
Matt Nieberger	Hewlett-Packard Company
Larry Taugher	Hewlett-Packard Company
Venkat Iyer	Intel Corporation
Steve McGowan	Intel Corporation
Mike Pennell	Intel Corporation
Todd West	Intel Corporation
Gerrit den Besten	Royal Philips Electronics
Marq Kole	Royal Philips Electronics
Zong Liang Wu	Royal Philips Electronics
Jim Clee	Lucent Technologies Inc
Jim Guziak	Lucent Technologies Inc
Par Parikh	Lucent Technologies Inc
Dave Thompson	Lucent Technologies Inc
Ed Giaimo	Microsoft Corporation
Mark Williams	Microsoft Corporation
Toshihiko Ohtani	NEC Corporation
Kugao Ouchi	NEC Corporation
Katsuya Suzuki	NEC Corporation
Toshio Tasaki	NEC Corporation



## **1 Chapter 1 Introduction**

### **1.1 Motivation**

The original motivation for the Universal Serial Bus (USB) came from three interrelated considerations:

- Connection of the PC to the telephone

It is well understood that the merge of computing and communication will be the basis for the next generation of productivity applications. The movement of machine-oriented and human-oriented data types from one location or environment to another depends on ubiquitous and cheap connectivity. Unfortunately, the computing and communication industries have evolved independently. The USB provides a ubiquitous link that can be used across a wide range of PC-to-telephone interconnects.

- Ease-of-use

The lack of flexibility in reconfiguring the PC has been acknowledged as the Achilles' heel to its further deployment. The combination of user-friendly graphical interfaces and the hardware and software mechanisms associated with new-generation bus architectures have made computers less confrontational and easier to reconfigure. However, from the end user's point of view, the PC's I/O interfaces, such as serial/parallel ports, keyboard/mouse/joystick interfaces, etc., do not have the attributes of plug-and-play.

- Port expansion

The addition of external peripherals continues to be constrained by port availability. The lack of a bi-directional, low-cost, low-to-mid speed peripheral bus has held back the creative proliferation of peripherals such as telephone/fax/modem adapters, answering machines, scanners, PDA's, keyboards, mice, etc. Existing interconnects are optimized for one or two point products. As each new function or capability is added to the PC, a new interface has been defined to address this need.

The more recent motivation for USB 2.0 stems from the fact that PCs have increasingly higher performance and are capable of processing vast amounts of data. At the same time, PC peripherals have added more performance and functionality. User applications such as digital imaging demand a high performance connection between the PC and these increasingly sophisticated peripherals. USB 2.0 addresses this need by adding a third transfer rate of 480 Mb/s to the 12 Mb/s and 1.5 Mb/s originally defined for USB. USB 2.0 is a natural evolution of USB, delivering the desired bandwidth increase while preserving the original motivations for USB and maintaining full compatibility with existing peripherals.

Thus, USB continues to be the answer to connectivity for the PC architecture. It is a fast, bi-directional, isochronous, low-cost, dynamically attachable serial interface that is consistent with the requirements of the PC platform of today and tomorrow.

### **1.2 Objective of the Specification**

This document defines an industry-standard USB. The specification describes the bus attributes, the protocol definition, types of transactions, bus management, and the programming interface required to design and build systems and peripherals that are compliant with this standard.

The goal is to enable such devices from different vendors to interoperate in an open architecture. The specification is intended as an enhancement to the PC architecture, spanning portable, business desktop, and home environments. It is intended that the specification allow system OEMs and peripheral developers adequate room for product versatility and market differentiation without the burden of carrying obsolete interfaces or losing compatibility.

## COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

### INTERFACES DE BUS UNIVERSEL EN SÉRIE POUR LES DONNÉES ET L'ALIMENTATION ÉLECTRIQUE –

#### Partie 1: Spécification du bus universel en série, révision 2.0

##### AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI - entre autres activités - publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI ne fournit elle-même aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains domaines, l'accès à des marques de conformité CEI. La CEI n'est responsable d'aucun des services proposés par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de l'identification de l'un quelconque ou de la totalité de ces droits de propriété industrielle.

La Norme internationale CEI 62680-1 a été établie par le domaine technique 14: Interfaces et méthodes de mesure pour les équipements d'ordinateur personnel, du comité d'études 100 de la CEI: Systèmes et équipements audio, vidéo et services de données.

Le texte de la présente norme est issu des documents établis par l'USB Implementers Forum (USB-IF). La structure et les règles rédactionnelles utilisées dans la présente publication reflètent la pratique de l'organisation qui l'a soumise.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
100/2156/FDIS	100/2188/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Afin d'éviter toute corruption des Figures, les originaux de la version anglaise ont été inclus dans la version française de la présente norme. Toutefois, pour les besoins des utilisateurs de la version française, une traduction du texte anglais a été ajoutée sous forme d'un tableau sous chaque Figure. A noter que ces "Légendes" ne contiennent aucune information supplémentaire par rapport à l'original anglais.

Une liste de toutes les parties de la série des CEI 62680, publiées sous le titre général *Interfaces de bus universel en série pour les données et l'alimentation électrique* est disponible sur le site internet de la CEI.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de la CEI sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

**IMPORTANT - Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.**

## INTRODUCTION

La série des CEI 62680 repose sur une série de spécifications qui ont été développées à l'origine par l'USB Implementers Forum (USB-IF). Ces spécifications ont été soumises à la CEI sous l'égide d'un accord particulier entre la CEI et l'USB IF.

L'USB Implementers Forum, Inc.(USB-IF) est un organisme à but non lucratif fondé par le groupe de sociétés qui a développé la spécification du bus universel en série. L'USB-IF a été créé pour fournir une plate-forme de soutien et de forum pour le progrès et l'adoption de la technologie du bus universel en série. Le forum facilite le développement de périphériques (appareils) USB compatibles et de haute qualité et promeut les avantages de la technologie USB et la qualité des produits qui ont été validés par des essais de conformité.

**TOUTES LES SPÉCIFICATIONS USB VOUS SONT FOURNIES "TELLES QUELLES" SANS AUCUNE GARANTIE DE QUELQUE SORTE QUE CE SOIT, Y COMPRIS LES GARANTIES DE QUALITÉ MARCHANDE, DE NON-VIOLATION OU D'ADÉQUATION À UN USAGE PARTICULIER. L'USB IMPLEMENTERS FORUM ET LES AUTEURS DES SPÉCIFICATIONS USB DÉCLINENT TOUTE RESPONSABILITÉ, Y COMPRIS LA VIOLATION DES DROITS D'AUTEUR, CONCERNANT L'UTILISATION, LA MISE EN APPLICATION OU LES INFORMATIONS DE LA PRÉSENTE SPÉCIFICATION.**

**LA DISPOSITION DE SPÉCIFICATIONS USB NE SAURAIT VOUS ACCORDER UNE LICENCE, EXPLICITE OU IMPLICITE, PAR ESTOPPEL OU DE TOUTE AUTRE FAÇON, À DES DROITS DE PROPRIÉTÉ INTELLECTUELLE.**

La conclusion des accords des adoptants de l'USB peut toutefois permettre à une société signataire de participer à un accord de licence réciproque et libre de droits pour les produits conformes. Pour plus d'informations, voir:

<http://www.usb.org/developers/docs/>  
[http://www.usb.org/developers/devclass\\_docs#approved](http://www.usb.org/developers/devclass_docs#approved)

**LA CEI NE PREND AUCUNE POSITION QUANT À SAVOIR S'IL VOUS EST RECOMMANDÉ DE CONCLURE TOUT ACCORD DES ADOPTANTS DE L'USB OU DE PARTICIPER À L'USB IMPLEMENTERS FORUM."**

La présente série traite des interfaces de bus universel en série pour les données et l'alimentation électrique et est composée des parties suivantes:

CEI 62680-1, Interfaces de bus universel en série pour les données et l'alimentation électrique – Partie 1: Spécification du bus universel en série, révision 2.0

CEI 62680-2, Interfaces de bus universel en série pour les données et l'alimentation électrique – Partie 2: Bus universel en série – Spécification des câbles et des connecteurs Micro-USB, révision 1.01

CEI 62680-3, Interfaces de bus universel en série pour les données et l'alimentation électrique – Partie 3: spécification de chargement des batteries USB, révision 1.2

CEI 62680-4, Interfaces de bus universel en série pour les données et l'alimentation électrique – Partie 4: document des classes des câbles et des connecteurs de bus universel en série, rév. 2.0

La présente partie de la CEI 62680 est constituée de plusieurs parties distinctes:

- le corps du texte, qui correspond à la spécification initiale et l'ensemble des ECN et des errata développés par l'USB-IF;

## SOMMAIRE

1	Chapitre 1 Introduction .....	782
1.1	Motivation .....	782
1.2	Objectif de la spécification .....	783
1.3	Domaine d'application du document .....	783
1.4	Conformité des produits à l'USB .....	783
1.5	Organisation du document .....	783
2	Chapitre 2 Termes et abréviations .....	784
3	Chapitre 3 Contexte .....	790
3.1	Objectifs du bus universel en série .....	790
3.2	Taxinomie de l'espace d'application .....	790
3.3	Liste des caractéristiques .....	791
4	Chapitre 4 Vue d'ensemble architecturale .....	794
4.1	Description du système USB .....	794
4.1.1	Topologie en bus .....	794
4.2	Interface physique .....	796
4.2.1	Domaine électrique .....	796
4.2.2	Mécanique .....	796
4.3	Alimentation .....	797
4.3.1	Distribution de l'alimentation .....	797
4.3.2	Gestion de l'énergie .....	797
4.4	Protocole de bus .....	797
4.5	Robustesse .....	798
4.5.1	Détection des erreurs .....	798
4.5.2	Gestion des erreurs .....	798
4.6	Configuration du système .....	798
4.6.1	Connexion des appareils USB .....	798
4.6.2	Déconnexion des appareils USB .....	799
4.6.3	Enumération de bus .....	799
4.7	Types de flux de données .....	799
4.7.1	Transferts de contrôle .....	800
4.7.2	Transferts en bloc .....	800
4.7.3	Transferts d'interruption .....	800
4.7.4	Transferts isochrones .....	800
4.7.5	Allocation de bande passante USB .....	800
4.8	Appareils USB .....	801
4.8.1	Caractérisation de l'appareil .....	801
4.8.2	Description de l'appareil .....	801
4.9	Hôte USB: matériel et logiciel .....	804
4.10	Extensions architecturales .....	804
5	Chapitre 5 Modèle de flux de données USB .....	805
5.1	Points de vue du concepteur .....	805
5.2	Topologie en bus .....	807
5.2.1	Hôte USB .....	807
5.2.2	Appareils USB .....	808
5.2.3	Topologie de bus physique .....	809

5.2.4	Topologie de bus logique.....	812
5.2.5	Relation logiciel client-fonction .....	812
5.3	Flux de communication USB.....	813
5.3.1	Points d'extrémité de l'appareil .....	815
5.3.2	Canalisations.....	816
5.3.3	Trames et microtrames .....	819
5.4	Types de transfert .....	819
5.4.1	Exemples de calcul de tableau .....	820
5.5	Transferts de contrôle .....	821
5.5.1	Format de données des transferts de contrôle .....	822
5.5.2	Direction du transfert de contrôle.....	822
5.5.3	Contraintes liées à la taille des paquets des transferts de contrôle.....	822
5.5.4	Contraintes liées à l'accès au bus des transferts de contrôle.....	823
5.5.5	Séquences de données des transferts de contrôle.....	826
5.6	Transferts isochrones.....	827
5.6.1	Format de données des transferts isochrones.....	827
5.6.2	Direction des transferts isochrones.....	827
5.6.3	Contraintes liées à la taille des paquets des transferts isochrones .....	827
5.6.4	Contraintes liées à l'accès au bus des transferts isochrones .....	829
5.6.5	Séquences de données des transferts isochrones .....	830
5.7	Transferts d'interruption .....	830
5.7.1	Format de données des transferts d'interruption .....	830
5.7.2	Direction des transferts d'interruption .....	831
5.7.3	Contraintes liées à la taille des paquets des transferts d'interruption .....	831
5.7.4	Contraintes liées à l'accès au bus des transferts d'interruption .....	832
5.7.5	Séquences de données des transferts d'interruption.....	834
5.8	Transferts en bloc .....	834
5.8.1	Format de données des transferts en bloc .....	835
5.8.2	Direction des transferts en bloc .....	835
5.8.3	Contraintes liées à la taille des paquets des transferts en bloc.....	835
5.8.4	Contraintes liées à l'accès au bus des transferts en bloc .....	836
5.8.5	Séquences de données des transferts en bloc.....	837
5.9	Points d'extrémité à haute vitesse et à large bande passante.....	837
5.9.1	Points d'extrémité d'interruption à large bande passante .....	838
5.9.2	Points d'extrémité isochrones à large bande passante.....	839
5.10	Transactions de scission .....	840
5.11	Accès au bus des transferts .....	841
5.11.1	Gestion du transfert.....	841
5.11.2	Suivi des transactions.....	844
5.11.3	Calcul des temps de transaction de bus.....	847
5.11.4	Calcul des tailles de mémoire tampon dans les fonctions et le logiciel ....	849
5.11.5	Réclamation de bande passante de bus .....	849
5.12	Considérations spéciales pour les transferts isochrones.....	849
5.12.1	Exemple d'application isochrone non-USB.....	851
5.12.2	Modèle d'horloge USB .....	854
5.12.3	Synchronisation d'horloge.....	856
5.12.4	Appareils isochrones .....	857

5.12.5	Mise en mémoire tampon préalable des données .....	866
5.12.6	Suivi SOF .....	867
5.12.7	Gestion des erreurs .....	867
5.12.8	Mise en mémoire tampon pour la mise en correspondance du débit .....	868
6	Chapitre 6 Domaine mécanique .....	871
6.1	Vue d'ensemble sur l'architecture .....	871
6.2	Protocole de connecteur claveté .....	871
6.3	Câble .....	873
6.4	Ensemble de câbles .....	873
6.4.1	Ensembles de câbles amovibles normalisés .....	873
6.4.2	Ensembles de câbles captifs à haute/vitesse intégrale .....	875
6.4.3	Ensembles de câbles captifs à faible vitesse .....	878
6.4.4	Ensembles de câbles interdits .....	880
6.5	Configuration mécanique des connecteurs et exigences en termes de matériel .....	880
6.5.1	Emplacement de l'icône USB .....	881
6.5.2	Données de terminaison des connecteurs USB .....	882
6.5.3	Réceptacles des séries "A" et "B" .....	882
6.5.4	Fiches des séries "A" et "B" .....	887
6.6	Configuration mécanique des câbles et exigences en termes de matériel .....	892
6.6.1	Description .....	892
6.6.2	Construction .....	893
6.6.3	Caractéristiques électriques .....	895
6.6.4	Caractéristiques environnementales des câbles .....	895
6.6.5	Référence .....	895
6.7	Normes de conformité électrique, mécanique et environnementale .....	896
6.7.1	Documents applicables .....	901
6.8	Mise à la terre USB .....	901
6.9	Schémas de référence PCB .....	901
7	Chapitre 7 Domaine électrique .....	908
7.1	Signalisation .....	908
7.1.1	Caractéristiques du Pilote USB .....	912
7.1.2	Montée et chute du signal de données, diagrammes en œil .....	919
7.1.3	Dérivation de câble .....	932
7.1.4	Caractéristiques des récepteurs .....	932
7.1.5	Identification de la vitesse de l'appareil .....	933
7.1.6	Caractéristiques d'entrée .....	935
7.1.7	Niveaux de signalisation .....	938
7.1.8	Codage/décodage des données .....	952
7.1.9	Insertion de bits .....	952
7.1.10	Modèle Sync .....	955
7.1.11	Débit de signalisation des données .....	955
7.1.12	Intervalle de trame .....	956
7.1.13	Signalisation de la source de données .....	956
7.1.14	Synchronisations de signalisation d'un hub .....	959
7.1.15	Gigue des données du récepteur .....	961
7.1.16	Délai du câble .....	963

7.1.17	Atténuation de câble.....	964
7.1.18	Temps d'inversion du bus et délai interpaquet .....	965
7.1.19	Délai maximum du signal de bout en bout.....	966
7.1.20	Prise en charge du mode d'essai .....	967
7.2	Distribution de l'alimentation.....	968
7.2.1	Classes de appareils .....	968
7.2.2	Budget de chute de tension .....	974
7.2.3	Régulation de puissance au cours d'une interruption/reprise .....	974
7.2.4	Connexion et déconnexion dynamiques .....	975
7.3	Couche physique.....	977
7.3.1	Exigences réglementaires.....	977
7.3.2	Synchronisation du bus/caractéristiques électriques .....	977
7.3.3	Formes d'ondes de synchronisation .....	987
8	Chapitre 8 Couche de protocole .....	992
8.1	Ordonnancement des octets/bits .....	992
8.2	Champ SYNC .....	992
8.3	Formats des champs de paquets .....	992
8.3.1	Champ de l'identificateur de paquets .....	992
8.3.2	Champs d'adresse .....	994
8.3.3	Champ du nombre de trames .....	994
8.3.4	Champs de données .....	995
8.3.5	Contrôles de redondance cyclique .....	995
8.4	Formats du paquet .....	996
8.4.1	Paquets de jetons .....	996
8.4.2	Paquet de jetons spécial de transaction divisée .....	997
8.4.3	Paquets de début de trame .....	1002
8.4.4	Paquets de données .....	1003
8.4.5	Paquets d'établissement de liaison .....	1004
8.4.6	Réponses d'établissement de liaison .....	1005
8.5	Séquences des paquets de transactions.....	1006
8.5.1	Limitation de NAK par un contrôle de débit Ping .....	1015
8.5.2	Transactions en masse .....	1020
8.5.3	Transferts de contrôle.....	1026
8.5.4	Transactions d'interruption .....	1029
8.5.5	Transactions isochrones.....	1030
8.6	Synchronisation et relance de basculement des données .....	1035
8.6.1	Initialisation par jeton SETUP .....	1036
8.6.2	Transactions de données réussies.....	1036
8.6.3	Données corrompues ou non acceptées .....	1037
8.6.4	Etablissement de liaison ACK corrompu .....	1037
8.6.5	Transactions à basse vitesse.....	1038
8.7	Détection et récupération des erreurs.....	1040
8.7.1	Catégories de taux d'erreur de paquets .....	1040
8.7.2	Temps d'exécution de bus .....	1040
8.7.3	Fin de paquet incorrecte .....	1041
8.7.4	Récupération suite à un murmure et une perte d'activité.....	1042
9	Chapitre 9 Cadre d'appareils .....	1043



9.1	Etats des appareils USB.....	1043
9.1.1	Etats des appareils visibles .....	1043
9.1.2	Enumération de bus.....	1047
9.2	Opérations génériques de appareils USB .....	1048
9.2.1	Connexion et déconnexion dynamiques.....	1048
9.2.2	Attribution d'adresses .....	1048
9.2.3	Configuration.....	1048
9.2.4	Transfert de données .....	1049
9.2.5	Gestion de l'énergie.....	1049
9.2.6	Traitement des requêtes.....	1049
9.2.7	Erreur de requête .....	1051
9.3	Requêtes de appareils USB.....	1052
9.3.1	Type bmRequest .....	1052
9.3.2	bRequest.....	1052
9.3.3	wValue .....	1052
9.3.4	wIndex.....	1053
9.3.5	wLength.....	1053
9.4	Requêtes normalisées de l'appareil .....	1053
9.4.1	ClearFeature .....	1055
9.4.2	Get Configuration .....	1056
9.4.3	Get Descriptor .....	1056
9.4.4	Get Interface .....	1057
9.4.5	Get Status .....	1057
9.4.6	Set Address.....	1059
9.4.7	Set Configuration.....	1060
9.4.8	Set Descriptor .....	1060
9.4.9	Set Feature .....	1061
9.4.10	Set Interface.....	1062
9.4.11	Synch Frame .....	1062
9.5	Descripteurs.....	1063
9.6	Définitions de descripteur USB normalisé.....	1063
9.6.1	Appareil.....	1064
9.6.2	Device_Qualifier .....	1066
9.6.3	Configuration.....	1066
9.6.4	Other_Speed_Configuration .....	1068
9.6.5	Interface.....	1068
9.6.6	Point d'extrémité.....	1070
9.6.7	Chaîne .....	1074
9.7	Définitions de classe d'appareil .....	1075
9.7.1	Descripteurs .....	1075
9.7.2	Interface(s) et utilisation des points d'extrémité .....	1075
9.7.3	Requêtes.....	1075
10	Chapitre 10 Hôte USB: Matériel et logiciel.....	1076
10.1	Présentation de l'hôte USB.....	1076
10.1.1	Présentation .....	1076
10.1.2	Mécanismes de contrôle.....	1079
10.1.3	Flux de données .....	1080

10.1.4	Collecte des statistiques d'état et d'activité.....	1080
10.1.5	Considérations vis-à-vis de l'interface électrique .....	1080
10.2	Exigences vis-à-vis du contrôleur hôte .....	1080
10.2.1	Traitement des états.....	1081
10.2.2	Sérialiseur/désérialiseur .....	1081
10.2.3	Génération de trames et de microtrames .....	1081
10.2.4	Traitement des données .....	1082
10.2.5	Moteur de protocole.....	1083
10.2.6	Traitement des erreurs de transmission.....	1083
10.2.7	Réveil à distance .....	1083
10.2.8	Hub racine.....	1083
10.2.9	Interface du système hôte .....	1084
10.3	Présentation des mécanismes logiciels .....	1084
10.3.1	Configuration des appareils .....	1084
10.3.2	Gestion des ressources .....	1086
10.3.3	Transferts de données.....	1087
10.3.4	Définitions de données communes .....	1088
10.4	Pilote de contrôleur hôte .....	1088
10.5	Pilote de bus série universel.....	1089
10.5.1	Présentation de l'USBD .....	1089
10.5.2	Exigences vis-à-vis des mécanismes de commande USBD.....	1091
10.5.3	Mécanismes du canal USBD.....	1093
10.5.4	Gestion de l'USB via les mécanismes USBD .....	1095
10.5.5	Transfert d'une commande de pré-amorçage USB au système d'exploitation.....	1097
10.6	Guides d'environnement du système d'exploitation.....	1097
11	Chapitre 11 Spécification relative au hub.....	1099
11.1	Présentation.....	1099
11.1.1	Architecture d'un hub.....	1099
11.1.2	Connectivité du hub.....	1100
11.2	Minuteur de trame/microtrame de hub .....	1102
11.2.1	Plage de minuteur de microtrame à grande vitesse.....	1102
11.2.2	Plage de minuteur de trame à vitesse intégrale .....	1103
11.2.3	Synchronisation du minuteur de trame/microtrame .....	1103
11.2.4	Gigue de microtrame liée à la gigue de trame .....	1106
11.2.5	Points de synchronisation EOF1 et EOF2 .....	1106
11.3	Comportement de l'hôte en fin de trame .....	1109
11.3.1	Dernier paquet hôte à vitesse intégrale/basse vitesse .....	1110
11.3.2	Annulation du paquet à vitesse intégrale/basse vitesse .....	1110
11.3.3	Prédiction d'exécution de transaction à vitesse intégrale/basse vitesse.....	1110
11.4	Port interne .....	1111
11.4.1	Inactif .....	1112
11.4.2	Retard Suspension .....	1112
11.4.3	Suspension Totale (Fsus).....	1112
11.4.4	Générer Reprise (GResume) .....	1112
11.5	Ports orientés en aval.....	1113

11.5.1	Descriptions d'état du port orienté en aval .....	1115
11.5.2	Minuteur de détection de déconnexion.....	1119
11.5.3	Indicateur de port .....	1120
11.6	Port orienté en amont.....	1122
11.6.1	Vitesse intégrale.....	1122
11.6.2	Grande vitesse .....	1122
11.6.3	Récepteur.....	1122
11.6.4	Emetteur .....	1125
11.7	Répéteur de hub.....	1127
11.7.1	Connectivité de paquet à grande vitesse .....	1128
11.7.2	Diagramme d'états du répéteur de hub .....	1130
11.7.3	Attente de début de paquet du port en amont (WFSOPFU).....	1132
11.7.4	Attente de fin de paquet du port en amont (WFEOPFU).....	1132
11.7.5	Attente de début de paquet (WFSOP).....	1132
11.7.6	Attente de fin de paquet (WFEOP).....	1132
11.8	Evaluation d'état de bus .....	1133
11.8.1	Erreur de port.....	1133
11.8.2	Détection de vitesse .....	1133
11.8.3	Collision .....	1134
11.8.4	Comportement de port à basse vitesse.....	1134
11.9	Suspension et Reprise .....	1135
11.10	Comportement de réinitialisation du hub.....	1138
11.11	Contrôle d'alimentation de port de hub.....	1139
11.11.1	Associations multiples.....	1139
11.12	Contrôleur de hub.....	1140
11.12.1	Organisation des points d'extrémité .....	1140
11.12.2	Architecture et utilisation des informations sur le hub.....	1141
11.12.3	Traitement d'informations de changement de port.....	1141
11.12.4	Topogramme binaire de changement de hub et de port.....	1143
11.12.5	Reporting et rétablissement de surintensité.....	1144
11.12.6	Traitement des énumérations.....	1145
11.13	Configuration de hub .....	1145
11.14	Traducteur de transactions .....	1146
11.14.1	Présentation .....	1146
11.14.2	Programmation du traducteur de transactions .....	1149
11.15	Informations sur la notation des transactions fractionnées.....	1152
11.16	Diagrammes d'états communs aux transactions fractionnées.....	1156
11.16.1	Diagramme d'états du contrôleur hôte.....	1158
11.16.2	Diagramme d'états du traducteur de transactions.....	1162
11.17	Présentation de la traduction de transactions en masse/de contrôle .....	1170
11.17.1	Séquences de transactions fractionnées en masse/de contrôle.....	1171
11.17.2	Diagrammes d'état de transactions fractionnées en masse/de contrôle.....	1179
11.17.3	Séquençage en masse/de contrôle .....	1187
11.17.4	Exigences vis-à-vis de la mise en tampon en masse/de contrôle.....	1187
11.17.5	Autres détails en masse/de contrôle.....	1188

11.18	Mise en pipeline des transactions fractionnées périodiques et gestion des tampons .....	1188
11.18.1	Meilleur budget à vitesse intégrale .....	1188
11.18.2	Pipeline de microtrame TT .....	1189
11.18.3	Génération de trames à vitesse intégrale .....	1190
11.18.4	Exigences vis-à-vis de la programmation de transactions programmées de l'hôte.....	1191
11.18.5	Génération de réponse TT .....	1194
11.18.6	Exigences vis-à-vis du traitement des transactions périodiques TT ...	1196
11.18.7	Suivi des transactions TT.....	1197
11.18.8	Recherche d'état de transaction complete-split TT .....	1198
11.19	Espace tampon TT approximatif requis .....	1200
11.20	Présentation de la traduction de transactions d'interruption .....	1200
11.20.1	Séquences de transactions fractionnées d'interruption.....	1200
11.20.2	Diagrammes d'états des transactions fractionnées d'interruption.....	1205
11.20.3	Séquençage OUT d'interruption .....	1211
11.20.4	Séquençage IN d'interruption .....	1212
11.21	Présentation de la traduction de transactions isochrones.....	1214
11.21.1	Séquences de transactions fractionnées isochrones .....	1215
11.21.2	Diagrammes d'états de transaction fractionnée isochrone .....	1218
11.21.3	Séquençage OUT isochrone .....	1223
11.21.4	Séquençage IN isochrone .....	1224
11.22	Traitement des erreurs TT .....	1225
11.22.1	Perte de synchronisation TT avec SOF HS .....	1225
11.22.2	Exigences vis-à-vis de la synchronisation du minuteur de trame et de microtrame TT.....	1226
11.23	Descripteurs .....	1228
11.23.1	Descripteurs normalisés pour classe de hub .....	1228
11.23.2	Descripteurs spécifiques à la classe .....	1236
11.24	Demands .....	1238
11.24.1	Demands normalisées.....	1238
11.24.2	Demands spécifiques à la classe .....	1238
Annexe A	Exemples de transactions.....	1255
Annexe B	Exemples de déclarations pour diagrammes d'états.....	1410
Annexe C	Diagrammes d'états de protocole de réinitialisation .....	1419
Index	.....	1429

**Note: L'ensemble des notices de modification technique (Engineering Change Notice, ECN) et des documents d'errata en date du 1er septembre 2012 qui appartiennent à cette spécification principale suivent la dernière page de la spécification à partir de la page 1507.**

## Bus universel en série Spécification

**Compaq  
Hewlett-Packard  
Intel  
Lucent  
Microsoft  
NEC  
Philips**

**Révision 2.0  
27 avril 2000**

Domaine d'application de la présente révision

La révision 2.0 de la spécification est destinée à la conception des produits. Chaque tentative a été réalisée dans le but de garantir une spécification cohérente et réalisable. Il convient que les mises en application assurent la conformité à la présente révision.

### Historique des révisions

Révision	Date d'édition	Commentaires
0.7	11 novembre 1994	Remplace la révision 0.6e.
0.8	30 décembre 1994	Révisions apportées aux Chapitres 3-8, 10 et 11. Ajout des annexes.
0.9	13 avril 1995	Révisions apportées à tous les chapitres.
0.99	25 août 1995	Révisions apportées à tous les chapitres.
1.0 FDR	13 novembre 1995	Révisions apportées aux Chapitres 1, 2, 5-11.
1.0	15 janvier 1996	Modifications des Chapitres 5, 6, 7, 8, 9, 10 et 11 par souci de cohérence.
1.1	23 septembre 1998	Mise à jour de tous les chapitres pour corriger les problèmes identifiés.
2.0 (version 0.79)	5 octobre 1999	Révisions apportées aux Chapitres 5, 7, 8, 9, 11 pour ajouter la haute vitesse.
2.0 (version 0.9)	21 décembre 1999	Révisions apportées à tous les chapitres pour ajouter la haute vitesse.
2.0	27 avril 2000	Révisions pour le mode haute vitesse.

**Spécification du bus universel en série  
Copyright © 2000, Compaq Computer Corporation,  
Hewlett-Packard Company,  
Intel Corporation,  
Lucent Technologies Inc,  
Microsoft Corporation,  
NEC Corporation,  
Koninklijke Philips Electronics N.V.  
Tous droits réservés.**

## DENI DE RESPONSABILITÉ CONCERNANT LA PROPRIÉTÉ INTELLECTUELLE

LA PRÉSENTE SPÉCIFICATION VOUS EST FOURNIE "TELLE QUELLE" SANS AUCUNE GARANTIE DE QUELQUE SORTE QUE CE SOIT, Y COMPRIS LES GARANTIES DE QUALITÉ MARCHANDE, DE NON-VIOLATION OU D'ADÉQUATION À UN USAGE PARTICULIER. LES AUTEURS DE LA PRÉSENTE SPÉCIFICATION USB DECLINENT TOUTE RESPONSABILITÉ, Y COMPRIS LA VIOLATION DES DROITS D'AUTEUR, CONCERNANT L'UTILISATION OU LA MISE EN APPLICATION DES INFORMATIONS DE LA PRÉSENTE SPÉCIFICATION. LA DISPOSITION DE LA PRÉSENTE SPÉCIFICATION NE SAURAIT VOUS ACCORDER UNE LICENCE, EXPLICITE OU IMPLICITE, PAR ESTOPPEL OU DE TOUTE AUTRE FAÇON, À DES DROITS DE PROPRIÉTÉ INTELLECTUELLE.

Tous les noms de produit sont les marques commerciales, les marques déposées ou les marques de service de leurs détenteurs respectifs.

Envoyer les commentaires par courrier électronique à [echsup@usb.org](mailto:echsup@usb.org)

Pour les informations sur le secteur d'activité, voir la page web de l'USB Implementers Forum à l'adresse <http://www.usb.org>

Reconnaissance de la contribution technique à la norme USB 2.0

Les auteurs de la présente spécification souhaiteraient remercier les personnes suivantes pour leur participation aux groupes de travail techniques du groupe de promoteurs de la norme USB 2.0. Ils souhaiteraient également remercier les personnes des sociétés promotrices de la norme USB 2.0 et de tout le secteur d'activité qui ont contribué au développement de la présente spécification.

### Groupe de travail sur le hub

John Garney	Intel Corporation (président/éditeur)
Ken Stufflebeam	Compaq Computer Corporation
David Wooten	Compaq Computer Corporation
Matt Nieberger	Hewlett-Packard Company
John Howard	Intel Corporation
Venkat Iyer	Intel Corporation
Steve McGowan	Intel Corporation
Geert Knapen	Royal Philips Electronics
Zong Liang Wu	Royal Philips Electronics
Jim Clee	Lucent Technologies Inc
Jim Guziak	Lucent Technologies Inc
Dave Thompson	Lucent Technologies Inc
John Fuller	Microsoft Corporation
Nathan Sherman	Microsoft Corporation
Mark Williams	Microsoft Corporation
Nobuo Furuya	NEC Corporation
Toshimi Sakurai	NEC Corporation
Moto Sato	NEC Corporation
Katsuya Suzuki	NEC Corporation

### Groupe de travail sur la partie électrique

Jon Lueker	Intel Corporation (président/éditeur)
David Wooten	Compaq Computer Corporation
Matt Nieberger	Hewlett-Packard Company
Larry Taugher	Hewlett-Packard Company
Venkat Iyer	Intel Corporation
Steve McGowan	Intel Corporation
Mike Pennell	Intel Corporation
Todd West	Intel Corporation
Gerrit den Besten	Royal Philips Electronics
Marq Kole	Royal Philips Electronics
Zong Liang Wu	Royal Philips Electronics
Jim Clee	Lucent Technologies Inc
Jim Guziak	Lucent Technologies Inc
Par Parikh	Lucent Technologies Inc
Dave Thompson	Lucent Technologies Inc
Ed Giaimo	Microsoft Corporation
Mark Williams	Microsoft Corporation
Toshihiko Ohtani	NEC Corporation
Kugao Ouchi	NEC Corporation
Katsuya Suzuki	NEC Corporation
Toshio Tasaki	NEC Corporation

# 1 Chapitre 1

## Introduction

### 1.1 Motivation

La motivation première du bus universel en série (USB) provient de trois considérations corrélées:

- Connexion du PC au téléphone

Il est tout à fait clair que la fusion du calcul informatisé et de la communication représente la base de la génération suivante d'applications de productivité. Le déplacement des types de données orientés machine et humain d'un emplacement ou d'un environnement à un autre dépend d'une connectivité omniprésente et bon marché. Malheureusement, les domaines du calcul informatisé et de la communication ont évolué de manière indépendante. L'USB fournit un lien omniprésent qui peut être utilisé pour de nombreuses interconnexions ordinateur avec téléphone.

- Facilité d'utilisation

Le manque de flexibilité de la reconfiguration de l'ordinateur est reconnu comme étant le talon d'Achille pour son déploiement futur. La combinaison des interfaces graphiques conviviales et des mécanismes matériels et logiciels associés à la nouvelle génération d'architectures de bus ont rendu les ordinateurs moins conflictuels et plus faciles à reconfigurer. Cependant, du point de vue de l'utilisateur final, les interfaces E/S des ordinateurs, tels que les ports série/parallèles, les interfaces de clavier/souris/joystick, etc., ne disposent pas des attributs du Plug and Play.

- Extension des ports

L'ajout de périphériques externes est toujours restreint par la disponibilité des ports. L'absence d'un bus périphérique bidirectionnel, de faible coût et de faible à moyenne vitesse a freiné la prolifération créative de périphériques tels que les adaptateurs de téléphone/télécopie/modem, les répondeurs téléphoniques, les numériseurs, les assistants numériques personnels, les claviers, les souris, etc. Les interconnexions existantes sont optimisées pour un ou deux produits ponctuels. Pour chaque nouvelle fonction ou fonctionnalité ajoutée à l'ordinateur, une nouvelle interface a été définie pour répondre à ce besoin.

La motivation la plus récente pour la norme USB 2.0 découle du fait que les ordinateurs ont des performances de plus en plus élevées et peuvent traiter de larges quantités de données. Parallèlement, les périphériques des ordinateurs ont apporté plus de performance et de fonctionnalité. Les applications destinées aux utilisateurs, telles que l'imagerie numérique, demandent une connexion à hautes performances entre l'ordinateur et ces périphériques de plus en plus sophistiqués. La norme USB 2.0 répond à ce besoin en ajoutant un troisième débit de transfert de 480 Mo/s à ceux de 12 Mo/s et 1,5 Mo/s définis à l'origine pour l'USB. La norme USB 2.0 est une évolution naturelle de l'USB qui fournit l'augmentation de bande passante souhaitée tout en préservant les motivations d'origine de l'USB et en maintenant la pleine compatibilité avec les périphériques existants.

Par conséquent, l'USB reste la réponse à la connectivité de l'architecture des ordinateurs. Il est rapide, bidirectionnel, isochrone, faible coût, avec une interface série dynamiquement raccordable qui est cohérente avec les exigences de la plateforme PC d'aujourd'hui et de demain.



## 1.2 Objectif de la spécification

Le présent document définit un USB de norme industrielle. La spécification décrit les attributs du bus, la définition du protocole, les types de transaction, la gestion du bus et l'interface de programmation requise pour la conception et la création des systèmes et des périphériques conformes à cette norme.

L'objectif est de permettre aux appareils de différents vendeurs de fonctionner ensemble dans une architecture ouverte. La spécification se veut une amélioration de l'architecture des ordinateurs, couvrant les environnements portables, de bureau et domestiques. Il est prévu que la spécification accorde suffisamment de liberté aux OEM (fabricant d'équipement d'origine) de systèmes et aux développeurs de périphériques pour une polyvalence des produits et leur différenciation sur le marché sans avoir à prendre en charge des interfaces obsolètes ou à perdre en termes de compatibilité.

Withdrawn