



# INTERNATIONAL STANDARD

# NORME INTERNATIONALE



---

**Universal serial bus interfaces for data and power –  
Part 2-1: Universal Serial Bus Specification, Revision 2.0**

**Interfaces de bus universel en série pour les données et l'alimentation  
électrique –  
Partie 2-1: Spécification du bus universel en série, révision 2.0**

INTERNATIONAL  
ELECTROTECHNICAL  
COMMISSION

COMMISSION  
ELECTROTECHNIQUE  
INTERNATIONALE

---

ICS 29.220; 33.120; 35.200

ISBN 978-2-8322-6102-6

**Warning! Make sure that you obtained this publication from an authorized distributor.  
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

## INTERNATIONAL ELECTROTECHNICAL COMMISSION

### UNIVERSAL SERIAL BUS INTERFACES FOR DATA AND POWER –

### Part 2-1: Universal Serial Bus Specification, Revision 2.0

#### FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as “IEC Publication(s)”). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62680-2-1 has been prepared by technical area 14: Interfaces and methods of measurement for personal computing equipment, of IEC technical committee 100: Audio, video and multimedia systems and equipment.

The text of this standard is based on documents prepared by the USB Implementers Forum (USB-IF). The structure and editorial rules used in this publication reflect the practice of the organization which submitted it.

This first edition cancels and replaces IEC 62680-1 published in 2013. This edition constitutes a technical revision.

This bilingual version (2018-10) corresponds to the English version, published in 2015-09.

The text of this standard is based on the following documents:

CDV	Report on voting
100/2331/CDV	100/2434/RVC

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

The French version of this standard has not been voted upon.

A list of all the parts in the IEC 62680 series, published under the general title *Universal serial bus interfaces for data and power* can be found on the IEC website.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

**IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.**

## INTRODUCTION

The IEC 62680 series is based on a series of specifications that were originally developed by the USB Implementers Forum (USB-IF). These specifications were submitted to the IEC under the auspices of a special agreement between the IEC and the USB IF.

The USB Implementers Forum, Inc.(USB-IF) is a non-profit corporation founded by the group of companies that developed the Universal Serial Bus specification. The USB-IF was formed to provide a support organization and forum for the advancement and adoption of Universal Serial Bus technology. The Forum facilitates the development of high-quality compatible USB peripherals (devices), and promotes the benefits of USB and the quality of products that have passed compliance testing.

**ANY USB SPECIFICATIONS ARE PROVIDED TO YOU "AS IS, "WITH NO WARRANTIES WHATSOEVER, INCLUDING ANY WARRANTY OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE. THE USB IMPLEMENTERS FORUM AND THE AUTHORS OF ANY USB SPECIFICATIONS DISCLAIM ALL LIABILITY, INCLUDING LIABILITY FOR INFRINGEMENT OF ANY PROPRIETARY RIGHTS, RELATING TO USE OR IMPLEMENTATION OR INFORMATION IN THIS SPECIFICATION.**

**THE PROVISION OF ANY USB SPECIFICATIONS TO YOU DOES NOT PROVIDE YOU WITH ANY LICENSE, EXPRESS OR IMPLIED, BY ESTOPPEL OR OTHERWISE, TO ANY INTELLECTUAL PROPERTY RIGHTS.**

Entering into USB Adopters Agreements may, however, allow a signing company to participate in a reciprocal, royalty-free licensing arrangement for compliant products. For more information, please see:

<http://www.usb.org/developers/docs/>

[http://www.usb.org/developers/devclass\\_docs#approved](http://www.usb.org/developers/devclass_docs#approved)

IEC DOES NOT TAKE ANY POSITION AS TO WHETHER IT IS ADVISABLE FOR YOU TO ENTER INTO ANY USB ADOPTERS AGREEMENTS OR TO PARTICIPATE IN THE USB IMPLEMENTERS FORUM.”

*This series covers the Universal Series Bus interfaces for data and power and consists of the following parts:*

IEC 62680-1-1, *Universal Serial Bus interfaces for data and power – Part 1-1: Common components – USB Battery Charging Specification, Revision 1.2*

IEC 62680-2-1, *Universal Serial Bus interfaces for data and power – Part 2-1: Universal Serial Bus Specification, Revision 2.0*

IEC 62680-2-2, *Universal Serial Bus interfaces for data and power – Part 2-2: USB Micro-USB Cables and Connectors Specification, Revision 1.01*

IEC 62680-2-3, *Universal Serial Bus interfaces for data and power – Part 2-3: Universal Serial Bus Cables and Connectors Class Document, Revision 2.0*

This part of the IEC 62680 series consists of several distinct parts:

- the main body of the text, which consists of the original specification and all ECN and Errata developed by the USB-IF.

## CONTENTS

FOREWORD.....	2
INTRODUCTION.....	4
1 Chapter 1 Introduction.....	29
1.1 Motivation.....	29
1.2 Objective of the Specification.....	29
1.3 Scope of the Document.....	30
1.4 USB Product Compliance.....	30
1.5 Document Organization.....	30
2 Chapter 2 Terms and Abbreviations.....	31
3 Chapter 3 Background.....	37
3.1 Goals for the Universal Serial Bus.....	37
3.2 Taxonomy of Application Space.....	37
3.3 Feature List.....	38
4 Chapter 4 Architectural Overview.....	40
4.1 USB System Description.....	40
4.1.1 Bus Topology.....	40
4.2 Physical Interface.....	41
4.2.1 Electrical.....	42
4.2.2 Mechanical.....	42
4.3 Power.....	42
4.3.1 Power Distribution.....	43
4.3.2 Power Management.....	43
4.4 Bus Protocol.....	43
4.5 Robustness.....	43
4.5.1 Error Detection.....	44
4.5.2 Error Handling.....	44
4.6 System Configuration.....	44
4.6.1 Attachment of USB Devices.....	44
4.6.2 Removal of USB Devices.....	44
4.6.3 Bus Enumeration.....	45
4.7 Data Flow Types.....	45
4.7.1 Control Transfers.....	45
4.7.2 Bulk Transfers.....	45
4.7.3 Interrupt Transfers.....	45
4.7.4 Isochronous Transfers.....	46
4.7.5 Allocating USB Bandwidth.....	46
4.8 USB Devices.....	46
4.8.1 Device Characterizations.....	46
4.8.2 Device Descriptions.....	47
4.9 USB Host: Hardware and Software.....	49
4.10 Architectural Extensions.....	49
5 Chapter 5 USB Data Flow Model.....	50
5.1 Implementer Viewpoints.....	50
5.2 Bus Topology.....	51
5.2.1 USB Host.....	52
5.2.2 USB Devices.....	52

5.2.3	Physical Bus Topology .....	53
5.2.4	Logical Bus Topology .....	54
5.2.5	Client Software-to-function Relationship .....	55
5.3	USB Communication Flow.....	55
5.3.1	Device Endpoints.....	57
5.3.2	Pipes .....	58
5.3.3	Frames and Microframes .....	60
5.4	Transfer Types.....	60
5.4.1	Table Calculation Examples.....	61
5.5	Control Transfers .....	62
5.5.1	Control Transfer Data Format .....	62
5.5.2	Control Transfer Direction.....	63
5.5.3	Control Transfer Packet Size Constraints .....	63
5.5.4	Control Transfer Bus Access Constraints.....	64
5.5.5	Control Transfer Data Sequences .....	66
5.6	Isochronous Transfers .....	67
5.6.1	Isochronous Transfer Data Format.....	67
5.6.2	Isochronous Transfer Direction .....	67
5.6.3	Isochronous Transfer Packet Size Constraints .....	67
5.6.4	Isochronous Transfer Bus Access Constraints .....	69
5.6.5	Isochronous Transfer Data Sequences .....	70
5.7	Interrupt Transfers .....	70
5.7.1	Interrupt Transfer Data Format .....	70
5.7.2	Interrupt Transfer Direction.....	70
5.7.3	Interrupt Transfer Packet Size Constraints.....	70
5.7.4	Interrupt Transfer Bus Access Constraints.....	71
5.7.5	Interrupt Transfer Data Sequences .....	74
5.8	Bulk Transfers .....	74
5.8.1	Bulk Transfer Data Format.....	74
5.8.2	Bulk Transfer Direction .....	74
5.8.3	Bulk Transfer Packet Size Constraints .....	74
5.8.4	Bulk Transfer Bus Access Constraints .....	75
5.8.5	Bulk Transfer Data Sequences .....	76
5.9	High-Speed, High Bandwidth Endpoints .....	77
5.9.1	High Bandwidth Interrupt Endpoints.....	77
5.9.2	High Bandwidth Isochronous Endpoints .....	78
5.10	Split Transactions .....	79
5.11	Bus Access for Transfers .....	79
5.11.1	Transfer Management.....	80
5.11.2	Transaction Tracking .....	82
5.11.3	Calculating Bus Transaction Times .....	84
5.11.4	Calculating Buffer Sizes in Functions and Software .....	86
5.11.5	Bus Bandwidth Reclamation .....	86
5.12	Special Considerations for Isochronous Transfers.....	86
5.12.1	Example Non-USB Isochronous Application.....	88
5.12.2	USB Clock Model.....	89
5.12.3	Clock Synchronization .....	91
5.12.4	Isochronous Devices .....	91
5.12.5	Data Prebuffering .....	99

5.12.6	SOF Tracking .....	100
5.12.7	Error Handling .....	100
5.12.8	Buffering for Rate Matching .....	101
6	Chapter 6 Mechanical .....	103
6.1	Architectural Overview .....	103
6.2	Keyed Connector Protocol .....	103
6.3	Cable .....	104
6.4	Cable Assembly .....	104
6.4.1	Standard Detachable Cable Assemblies .....	104
6.4.2	High-/full-speed Captive Cable Assemblies .....	106
6.4.3	Low-speed Captive Cable Assemblies .....	108
6.4.4	Prohibited Cable Assemblies .....	110
6.5	Connector Mechanical Configuration and Material Requirements .....	110
6.5.1	USB Icon Location .....	111
6.5.2	USB Connector Termination Data .....	111
6.5.3	Series “A” and Series “B” Receptacles .....	112
6.5.4	Series “A” and Series “B” Plugs .....	115
6.6	Cable Mechanical Configuration and Material Requirements .....	118
6.6.1	Description .....	119
6.6.2	Construction .....	119
6.6.3	Electrical Characteristics .....	122
6.6.4	Cable Environmental Characteristics .....	122
6.6.5	Listing .....	122
6.7	Electrical, Mechanical, and Environmental Compliance Standards .....	123
6.7.1	Applicable Documents .....	128
6.8	USB Grounding .....	128
6.9	PCB Reference Drawings .....	128
7	Chapter 7 Electrical .....	132
7.1	Signaling .....	132
7.1.1	USB Driver Characteristics .....	135
7.1.2	Data Signal Rise and Fall, Eye Patterns .....	142
7.1.3	Cable Skew .....	151
7.1.4	Receiver Characteristics .....	151
7.1.5	Device Speed Identification .....	153
7.1.6	Input Characteristics .....	154
7.1.7	Signaling Levels .....	157
7.1.8	Data Encoding/Decoding .....	170
7.1.9	Bit Stuffing .....	170
7.1.10	Sync Pattern .....	172
7.1.11	Data Signaling Rate .....	173
7.1.12	Frame Interval .....	173
7.1.13	Data Source Signaling .....	174
7.1.14	Hub Signaling Timings .....	175
7.1.15	Receiver Data Jitter .....	177
7.1.16	Cable Delay .....	179
7.1.17	Cable Attenuation .....	180
7.1.18	Bus Turn-around Time and Inter-packet Delay .....	181
7.1.19	Maximum End-to-end Signal Delay .....	182
7.1.20	Test Mode Support .....	183

7.2	Power Distribution.....	184
7.2.1	Classes of Devices .....	184
7.2.2	Voltage Drop Budget .....	189
7.2.3	Power Control During Suspend/Resume .....	189
7.2.4	Dynamic Attach and Detach.....	190
7.3	Physical Layer .....	191
7.3.1	Regulatory Requirements .....	191
7.3.2	Bus Timing/Electrical Characteristics.....	192
7.3.3	Timing Waveforms .....	202
8	Chapter 8 Protocol Layer.....	205
8.1	Byte/Bit Ordering .....	205
8.2	SYNC Field.....	205
8.3	Packet Field Formats .....	205
8.3.1	Packet Identifier Field.....	205
8.3.2	Address Fields.....	206
8.3.3	Frame Number Field .....	207
8.3.4	Data Field.....	207
8.3.5	Cyclic Redundancy Checks.....	208
8.4	Packet Formats.....	209
8.4.1	Token Packets.....	209
8.4.2	Split Transaction Special Token Packets .....	209
8.4.3	Start-of-Frame Packets.....	214
8.4.4	Data Packets.....	215
8.4.5	Handshake Packets .....	216
8.4.6	Handshake Responses .....	217
8.5	Transaction Packet Sequences .....	218
8.5.1	NAK Limiting via Ping Flow Control.....	227
8.5.2	Bulk Transactions .....	231
8.5.3	Control Transfers.....	236
8.5.4	Interrupt Transactions.....	239
8.5.5	Isochronous Transactions.....	239
8.6	Data Toggle Synchronization and Retry .....	243
8.6.1	Initialization via SETUP Token.....	244
8.6.2	Successful Data Transactions.....	244
8.6.3	Data Corrupted or Not Accepted .....	245
8.6.4	Corrupted ACK Handshake.....	245
8.6.5	Low-speed Transactions .....	246
8.7	Error Detection and Recovery .....	247
8.7.1	Packet Error Categories .....	247
8.7.2	Bus Turn-around Timing .....	247
8.7.3	False EOPs .....	248
8.7.4	Babble and Loss of Activity Recovery .....	249
9	Chapter 9 USB Device Framework.....	250
9.1	USB Device States .....	250
9.1.1	Visible Device States .....	250
9.1.2	Bus Enumeration .....	254
9.2	Generic USB Device Operations .....	254
9.2.1	Dynamic Attachment and Removal .....	255
9.2.2	Address Assignment.....	255



9.2.3	Configuration .....	255
9.2.4	Data Transfer .....	256
9.2.5	Power Management .....	256
9.2.6	Request Processing .....	256
9.2.7	Request Error .....	258
9.3	USB Device Requests .....	259
9.3.1	bmRequestType .....	259
9.3.2	bRequest .....	259
9.3.3	wValue .....	259
9.3.4	wIndex .....	260
9.3.5	wLength .....	260
9.4	Standard Device Requests .....	260
9.4.1	Clear Feature .....	262
9.4.2	Get Configuration .....	263
9.4.3	Get Descriptor .....	263
9.4.4	Get Interface .....	264
9.4.5	Get Status .....	264
9.4.6	Set Address .....	266
9.4.7	Set Configuration .....	266
9.4.8	Set Descriptor .....	267
9.4.9	Set Feature .....	268
9.4.10	Set Interface .....	269
9.4.11	Synch Frame .....	269
9.5	Descriptors .....	270
9.6	Standard USB Descriptor Definitions .....	270
9.6.1	Device .....	270
9.6.2	Device_Qualifier .....	272
9.6.3	Configuration .....	273
9.6.4	Other_Speed_Configuration .....	275
9.6.5	Interface .....	275
9.6.6	Endpoint .....	276
9.6.7	String .....	279
9.7	Device Class Definitions .....	280
9.7.1	Descriptors .....	280
9.7.2	Interface(s) and Endpoint Usage .....	280
9.7.3	Requests .....	281
10	Chapter 10 USB Host: Hardware and Software .....	282
10.1	Overview of the USB Host .....	282
10.1.1	Overview .....	282
10.1.2	Control Mechanisms .....	285
10.1.3	Data Flow .....	285
10.1.4	Collecting Status and Activity Statistics .....	286
10.1.5	Electrical Interface Considerations .....	286
10.2	Host Controller Requirements .....	286
10.2.1	State Handling .....	287
10.2.2	Serializer/Deserializer .....	287
10.2.3	Frame and Microframe Generation .....	287
10.2.4	Data Processing .....	288
10.2.5	Protocol Engine .....	288

10.2.6	Transmission Error Handling.....	288
10.2.7	Remote Wakeup .....	289
10.2.8	Root Hub .....	289
10.2.9	Host System Interface .....	289
10.3	Overview of Software Mechanisms.....	289
10.3.1	Device Configuration .....	290
10.3.2	Resource Management.....	292
10.3.3	Data Transfers.....	292
10.3.4	Common Data Definitions .....	293
10.4	Host Controller Driver .....	293
10.5	Universal Serial Bus Driver .....	294
10.5.1	USBD Overview.....	294
10.5.2	USBD Command Mechanism Requirements .....	296
10.5.3	USBD Pipe Mechanisms.....	298
10.5.4	Managing the USB via the USBD Mechanisms.....	300
10.5.5	Passing USB Preboot Control to the Operating System .....	302
10.6	Operating System Environment Guides.....	302
11	Chapter 11 Hub Specification .....	303
11.1	Overview .....	303
11.1.1	Hub Architecture.....	303
11.1.2	Hub Connectivity .....	304
11.2	Hub Frame/Microframe Timer.....	306
11.2.1	High-speed Microframe Timer Range.....	306
11.2.2	Full-speed Frame Timer Range .....	306
11.2.3	Frame/Microframe Timer Synchronization.....	307
11.2.4	Microframe Jitter Related to Frame Jitter .....	309
11.2.5	EOF1 and EOF2 Timing Points .....	309
11.3	Host Behavior at End-of-Frame.....	312
11.3.1	Full-/low-speed Latest Host Packet.....	312
11.3.2	Full-/low-speed Packet Nullification .....	312
11.3.3	Full-/low-speed Transaction Completion Prediction.....	313
11.4	Internal Port.....	313
11.4.1	Inactive.....	314
11.4.2	Suspend Delay .....	314
11.4.3	Full Suspend (Fsus) .....	314
11.4.4	Generate Resume (GResume).....	314
11.5	Downstream Facing Ports .....	315
11.5.1	Downstream Facing Port State Descriptions .....	317
11.5.2	Disconnect Detect Timer.....	321
11.5.3	Port Indicator.....	322
11.6	Upstream Facing Port.....	324
11.6.1	Full-speed .....	324
11.6.2	High-speed .....	325
11.6.3	Receiver .....	325
11.6.4	Transmitter .....	328
11.7	Hub Repeater .....	330
11.7.1	High-speed Packet Connectivity .....	330
11.7.2	Hub Repeater State Machine.....	332
11.7.3	Wait for Start of Packet from Upstream Port (WFSOPFU).....	334

11.7.4	Wait for End of Packet from Upstream Port (WFEOPFU) .....	334
11.7.5	Wait for Start of Packet (WFSOP).....	334
11.7.6	Wait for End of Packet (WFEOP) .....	334
11.8	Bus State Evaluation.....	335
11.8.1	Port Error .....	335
11.8.2	Speed Detection .....	335
11.8.3	Collision .....	336
11.8.4	Low-speed Port Behavior.....	336
11.9	Suspend and Resume .....	337
11.10	Hub Reset Behavior .....	339
11.11	Hub Port Power Control .....	339
11.11.1	Multiple Gangs .....	340
11.12	Hub Controller .....	340
11.12.1	Endpoint Organization .....	341
11.12.2	Hub Information Architecture and Operation .....	341
11.12.3	Port Change Information Processing.....	342
11.12.4	Hub and Port Status Change Bitmap.....	343
11.12.5	Over-current Reporting and Recovery.....	344
11.12.6	Enumeration Handling .....	345
11.13	Hub Configuration.....	345
11.14	Transaction Translator .....	346
11.14.1	Overview .....	347
11.14.2	Transaction Translator Scheduling.....	349
11.15	Split Transaction Notation Information .....	351
11.16	Common Split Transaction State Machines .....	354
11.16.1	Host Controller State Machine .....	355
11.16.2	Transaction Translator State Machine.....	359
11.17	Bulk/Control Transaction Translation Overview .....	364
11.17.1	Bulk/Control Split Transaction Sequences .....	365
11.17.2	Bulk/Control Split Transaction State Machines.....	371
11.17.3	Bulk/Control Sequencing .....	376
11.17.4	Bulk/Control Buffering Requirements .....	377
11.17.5	Other Bulk/Control Details .....	377
11.18	Periodic Split Transaction Pipelining and Buffer Management.....	377
11.18.1	Best Case Full-Speed Budget.....	378
11.18.2	TT Microframe Pipeline.....	378
11.18.3	Generation of Full-speed Frames.....	379
11.18.4	Host Split Transaction Scheduling Requirements.....	379
11.18.5	TT Response Generation.....	382
11.18.6	TT Periodic Transaction Handling Requirements .....	383
11.18.7	TT Transaction Tracking.....	385
11.18.8	TT Complete-split Transaction State Searching .....	386
11.19	Approximate TT Buffer Space Required .....	387
11.20	Interrupt Transaction Translation Overview .....	387
11.20.1	Interrupt Split Transaction Sequences .....	388
11.20.2	Interrupt Split Transaction State Machines.....	391
11.20.3	Interrupt OUT Sequencing .....	397
11.20.4	Interrupt IN Sequencing.....	398
11.21	Isochronous Transaction Translation Overview .....	399

11.21.1	Isochronous Split Transaction Sequences .....	400
11.21.2	Isochronous Split Transaction State Machines .....	403
11.21.3	Isochronous OUT Sequencing .....	406
11.21.4	Isochronous IN Sequencing .....	407
11.22	TT Error Handling .....	408
11.22.1	Loss of TT Synchronization With HS SOFs .....	408
11.22.2	TT Frame and Microframe Timer Synchronization Requirements .....	409
11.23	Descriptors .....	410
11.23.1	Standard Descriptors for Hub Class .....	411
11.23.2	Class-specific Descriptors .....	419
11.24	Requests .....	420
11.24.1	Standard Requests .....	420
11.24.2	Class-specific Requests .....	421
Appendix A	Transaction Examples .....	437
A.1	Bulk/Control OUT and SETUP Transaction Examples .....	437
A.2	Bulk/Control IN Transaction Examples .....	461
A.3	Interrupt OUT Transaction Examples .....	485
A.4	Interrupt IN Transaction Examples .....	504
A.5	Isochronous OUT Split-transaction Examples.....	526
A.6	Isochronous IN Split-transaction Examples .....	535
Appendix B	Example Declarations for State Machines .....	549
B.1	Global Declarations .....	550
B.2	Host Controller Declarations .....	553
B.3	Transaction Translator Declarations.....	555
Appendix C	Reset Protocol State Diagrams .....	559
C.1	Downstream Facing Port State Diagram.....	559
C.2	Upstream Facing Port State Diagram .....	561
C.2.1	Reset From Suspended State .....	561
C.2.2	Reset From Full-speed Non-suspended State .....	564
C.2.3	Reset From High-speed Non-suspended State .....	564
C.2.4	Reset Handshake .....	564
Figure 3-1	– Application Space Taxonomy .....	37
Figure 4-1	– Bus Topology .....	41
Figure 4-2	– USB Cable .....	42
Figure 4-3	– A Typical Hub .....	47
Figure 4-4	– Hubs in a Desktop Computer Environment .....	48
Figure 5-1	– Simple USB Host/Device View .....	50
Figure 5-2	– USB Implementation Areas .....	51
Figure 5-3	– Host Composition.....	52
Figure 5-4	– Physical Device Composition .....	53
Figure 5-5	– USB Physical Bus Topology.....	53
Figure 5-6	– Multiple Full-speed Buses in a High-speed System .....	54
Figure 5-7	– USB Logical Bus Topology.....	55
Figure 5-8	– Client Software-to-function Relationships .....	55
Figure 5-9	– USB Host/Device Detailed View .....	56

Figure 5-10 – USB Communication Flow .....	57
Figure 5-11 – Data Phase PID Sequence for Isochronous IN High Bandwidth Endpoints.....	78
Figure 5-12 – Data Phase PID Sequence for Isochronous OUT High Bandwidth Endpoints .....	79
Figure 5-13 – USB Information Conversion From Client Software to Bus.....	80
Figure 5-14 – Transfers for Communication Flows .....	83
Figure 5-15 – Arrangement of IRPs to Transactions/(Micro)frames .....	84
Figure 5-16 – Non-USB Isochronous Example .....	88
Figure 5-17 – USB Full-speed Isochronous Application .....	90
Figure 5-18 – Example Source/Sink Connectivity .....	96
Figure 5-19 – Data Prebuffering.....	100
Figure 5-20 – Packet and Buffer Size Formulas for Rate-matched Isochronous Transfers .....	102
Figure 6-1 – Keyed Connector Protocol .....	103
Figure 6-2 – USB Standard Detachable Cable Assembly .....	105
Figure 6-3 – USB High-/full-speed Hardwired Cable Assembly .....	107
Figure 6-4 – USB Low-speed Hardwired Cable Assembly .....	109
Figure 6-5 – USB Icon .....	111
Figure 6-6 – Typical USB Plug Orientation.....	111
Figure 6-7 – USB Series "A" Receptacle Interface and Mating Drawing .....	113
Figure 6-8 – USB Series "B" Receptacle Interface and Mating Drawing .....	114
Figure 6-9 – USB Series "A" Plug Interface Drawing .....	116
Figure 6-10 – USB Series "B" Plug Interface Drawing .....	117
Figure 6-11 – Typical High-/full-speed Cable Construction .....	119
Figure 6-12 – Single Pin-type Series "A" Receptacle.....	129
Figure 6-13 – Dual Pin-type Series "A" Receptacle .....	130
Figure 6-14 – Single Pin-type Series "B" Receptacle.....	131
Figure 7-1 – Example High-speed Capable Transceiver Circuit.....	132
Figure 7-2 – Maximum Input Waveforms for USB Signaling .....	135
Figure 7-3 – Example Full-speed CMOS Driver Circuit (non High-speed capable).....	136
Figure 7-4 – Full-speed Buffer V/I Characteristics .....	138
Figure 7-5 – Full-speed Buffer V/I Characteristics for High-speed Capable Transceiver .....	139
Figure 7-6 – Full-speed Signal Waveforms.....	140
Figure 7-7 – Low-speed Driver Signal Waveforms.....	140
Figure 7-8 – Data Signal Rise and Fall Time .....	142
Figure 7-9 – Full-speed Load .....	143
Figure 7-10 – Low-speed Port Loads .....	143
Figure 7-11 – Measurement Planes .....	143
Figure 7-12 – Transmitter/Receiver Test Fixture .....	144
Figure 7-13 – Template 1.....	145
Figure 7-14 – Template 2.....	146
Figure 7-15 – Template 3.....	147
Figure 7-16 – Template 4.....	148
Figure 7-17 – Template 5.....	149

Figure 7-18 – Template 6.....	150
Figure 7-19 – Differential Input Sensitivity Range for Low-/full-speed.....	152
Figure 7-20 – Full-speed Device Cable and Resistor Connections .....	153
Figure 7-21 – Low-speed Device Cable and Resistor Connections.....	154
Figure 7-22 – Placement of Optional Edge Rate Control Capacitors for Low-/full-speed.....	155
Figure 7-23 – Diagram for High-speed Loading Equivalent Circuit.....	155
Figure 7-24 – Upstream Facing Full-speed Port Transceiver .....	159
Figure 7-25 – Downstream Facing Low-/full-speed Port Transceiver .....	159
Figure 7-26 – Low-/full-speed Disconnect Detection.....	162
Figure 7-27 – Full-/high-speed Device Connect Detection.....	162
Figure 7-28 – Low-speed Device Connect Detection .....	162
Figure 7-29 – Power-on and Connection Events Timing .....	163
Figure 7-30 – Low-/full-speed Packet Voltage Levels .....	165
Figure 7-31 – NRZI Data Encoding .....	170
Figure 7-32 – Bit Stuffing .....	171
Figure 7-33 – Illustration of Extra Bit Preceding EOP (Full-/low-speed).....	171
Figure 7-34 – Flow Diagram for Bit Stuffing.....	172
Figure 7-35 – Sync Pattern (Low-/full-speed) .....	172
Figure 7-36 – Data Jitter Taxonomy .....	174
Figure 7-37 – SE0 for EOP Width Timing .....	175
Figure 7-38 – Hub Propagation Delay of Full-speed Differential Signals.....	176
Figure 7-39 – Full-speed Cable Delay .....	180
Figure 7-40 – Low-speed Cable Delay .....	180
Figure 7-41 – Worst-case End-to-end Signal Delay Model for Low-/full-speed.....	183
Figure 7-42 – Compound Bus-powered Hub.....	186
Figure 7-43 – Compound Self-powered Hub.....	187
Figure 7-44 – Low-power Bus-powered Function.....	188
Figure 7-45 – High-power Bus-powered Function.....	188
Figure 7-46 – Self-powered Function .....	189
Figure 7-47 – Worst-case Voltage Drop Topology (Steady State).....	189
Figure 7-48 – Typical Suspend Current Averaging Profile .....	190
Figure 7-49 – Differential Data Jitter for Low-/full-speed .....	202
Figure 7-50 – Differential-to-EOP Transition Skew and EOP Width for Low-/full-speed .....	202
Figure 7-51 – Receiver Jitter Tolerance for Low-/full-speed .....	202
Figure 7-52 – Hub Differential Delay, Differential Jitter, and SOP Distortion for Low-/full-speed.....	203
Figure 7-53 – Hub EOP Delay and EOP Skew for Low-/full-speed.....	204
Figure 8-1 – PID Format .....	205
Figure 8-2 – ADDR Field.....	207
Figure 8-3 – Endpoint Field.....	207
Figure 8-4 – Data Field Format .....	208
Figure 8-5 – Token Format .....	209
Figure 8-6 – Packets in a Start-split Transaction.....	210

Figure 8-7 – Packets in a Complete-split Transaction .....	210
Figure 8-8 – Relationship of Interrupt IN Transaction to High-speed Split Transaction .....	211
Figure 8-9 – Relationship of Interrupt OUT Transaction to High-speed Split OUT Transaction.....	211
Figure 8-10 – Start-split (SSPLIT) Token .....	212
Figure 8-11 – Port Field .....	212
Figure 8-12 – Complete-split (CSPLIT) Transaction Token.....	214
Figure 8-13 – SOF Packet .....	214
Figure 8-14 – Relationship between Frames and Microframes .....	215
Figure 8-15 – Data Packet Format .....	216
Figure 8-16 – Handshake Packet .....	216
Figure 8-17 – Legend for State Machines.....	219
Figure 8-18 – State Machine Context Overview.....	220
Figure 8-19 – Host Controller Top Level Transaction State Machine Hierarchy Overview .....	220
Figure 8-20 – Host Controller Non-split Transaction State Machine Hierarchy Overview .....	221
Figure 8-21 – Device Transaction State Machine Hierarchy Overview.....	221
Figure 8-22 – Device Top Level State Machine .....	222
Figure 8-23 – Device_process_Trans State Machine.....	223
Figure 8-24 – Dev_do_OUT State Machine .....	224
Figure 8-25 – Dev_do_IN State Machine.....	225
Figure 8-26 – HC_Do_nonsplit State Machine.....	226
Figure 8-27 – Host High-speed Bulk OUT/Control Ping State Machine .....	228
Figure 8-28 – Dev_HS_ping State Machine.....	229
Figure 8-29 – Device High-speed Bulk OUT /Control State Machine .....	230
Figure 8-30 – Bulk Transaction Format .....	231
Figure 8-31 – Bulk/Control/Interrupt OUT Transaction Host State Machine .....	232
Figure 8-32 – Bulk/Control/Interrupt OUT Transaction Device State Machine.....	233
Figure 8-33 – Bulk/Control/Interrupt IN Transaction Host State Machine .....	234
Figure 8-34 – Bulk/Control/Interrupt IN Transaction Device State Machine.....	235
Figure 8-35 – Bulk Reads and Writes .....	235
Figure 8-36 – Control SETUP Transaction .....	236
Figure 8-37 – Control Read and Write Sequences.....	237
Figure 8-38 – Interrupt Transaction Format.....	239
Figure 8-39 – Isochronous Transaction Format .....	240
Figure 8-40 – Isochronous OUT Transaction Host State Machine.....	241
Figure 8-41 – Isochronous OUT Transaction Device State Machine .....	241
Figure 8-42 – Isochronous IN Transaction Host State Machine .....	242
Figure 8-43 – Isochronous IN Transaction Device State Machine .....	243
Figure 8-44 – SETUP Initialization .....	244
Figure 8-45 – Consecutive Transactions .....	244
Figure 8-46 – NAKed Transaction with Retry.....	245
Figure 8-47 – Corrupted ACK Handshake with Retry.....	245
Figure 8-48 – Low-speed Transaction .....	246

Figure 8-49 – Bus Turn-around Timer Usage .....	248
Figure 9-1 – Device State Diagram .....	251
Figure 9-2 – wIndex Format when Specifying an Endpoint .....	260
Figure 9-3 – wIndex Format when Specifying an Interface .....	260
Figure 9-4 – Information Returned by a GetStatus() Request to a Device.....	265
Figure 9-5 – Information Returned by a GetStatus() Request to an Interface.....	265
Figure 9-6 – Information Returned by a GetStatus() Request to an Endpoint.....	265
Figure 9-7 – Example of Feedback Endpoint Numbers .....	279
Figure 9-8 – Example of Feedback Endpoint Relationships .....	279
Figure 10-1 – Interlayer Communications Model .....	282
Figure 10-2 – Host Communications .....	283
Figure 10-3 – Frame and Microframe Creation .....	287
Figure 10-4 – Configuration Interactions .....	290
Figure 10-5 – Universal Serial Bus Driver Structure .....	295
Figure 11-1 – Hub Architecture .....	304
Figure 11-2 – Hub Signaling Connectivity .....	305
Figure 11-3 – Resume Connectivity .....	305
Figure 11-4 – Example High-speed EOF Offsets Due to Propagation Delay Without EOF Advancement.....	308
Figure 11-5 – Example High-speed EOF Offsets Due to Propagation Delay With EOF Advancement.....	308
Figure 11-6 – High-speed EOF2 Timing Point .....	310
Figure 11-7 – High-speed EOF1 Timing Point .....	310
Figure 11-8 – Full-speed EOF Timing Points.....	310
Figure 11-9 – Internal Port State Machine.....	314
Figure 11-10 – Downstream Facing Hub Port State Machine.....	316
Figure 11-11 – Port Indicator State Diagram .....	323
Figure 11-12 – Upstream Facing Port Receiver State Machine.....	325
Figure 11-13 – Upstream Facing Port Transmitter State Machine.....	328
Figure 11-14 – Example Hub Repeater Organization.....	330
Figure 11-15 – High-speed Port Selector State Machine .....	331
Figure 11-16 – Hub Repeater State Machine .....	333
Figure 11-17 – Example Remote-wakeup Resume Signaling With Full-/low-speed Device .....	338
Figure 11-18 – Example Remote-wakeup Resume Signaling With High-speed Device .....	338
Figure 11-19 – Example Hub Controller Organization.....	341
Figure 11-20 – Relationship of Status, Status Change, and Control Information to Device States .....	342
Figure 11-21 – Port Status Handling Method.....	343
Figure 11-22 – Hub and Port Status Change Bitmap .....	344
Figure 11-23 – Example Hub and Port Change Bit Sampling.....	344
Figure 11-24 – Transaction Translator Overview .....	347
Figure 11-25 – Periodic and Non-periodic Buffer Sections of TT .....	348
Figure 11-26 – TT Microframe Pipeline for Periodic Split Transactions.....	349



Figure 11-27 – TT Nonperiodic Buffering .....	350
Figure 11-28 – Example Full-/low-speed Handler Scheduling for Start-splits .....	351
Figure 11-29 – Flow Sequence Legend .....	351
Figure 11-30 – Legend for State Machines.....	352
Figure 11-31 – State Machine Context Overview.....	354
Figure 11-32 – Host Controller Split Transaction State Machine Hierarchy Overview .....	354
Figure 11-33 – Transaction Translator State Machine Hierarchy Overview .....	355
Figure 11-34 – Host Controller.....	355
Figure 11-35 – HC_Process_Command .....	356
Figure 11-36 – HC_Do_Start.....	357
Figure 11-37 – HC_Do_Complete .....	358
Figure 11-38 – Transaction Translator .....	359
Figure 11-39 – TT_Process_Packet .....	360
Figure 11-40 – TT_Do_Start .....	361
Figure 11-41 – TT_Do_Complete .....	362
Figure 11-42 – TT_BulkSS.....	362
Figure 11-43 – TT_BulkCS.....	363
Figure 11-44 – TT_IntSS.....	363
Figure 11-45 – TT_IntCS .....	364
Figure 11-46 – TT_IsochSS .....	364
Figure 11-47 – Sample Algorithm for Compare_buffs .....	366
Figure 11-48 – Bulk/Control OUT Start-split Transaction Sequence .....	367
Figure 11-49 – Bulk/Control OUT Complete-split Transaction Sequence .....	368
Figure 11-50 – Bulk/Control IN Start-split Transaction Sequence .....	369
Figure 11-51 – Bulk/Control IN Complete-split Transaction Sequence.....	370
Figure 11-52 – Bulk/Control OUT Start-split Transaction Host State Machine.....	371
Figure 11-53 – Bulk/Control OUT Complete-split Transaction Host State Machine .....	372
Figure 11-54 – Bulk/Control OUT Start-split Transaction TT State Machine .....	373
Figure 11-55 – Bulk/Control OUT Complete-split Transaction TT State Machine .....	373
Figure 11-56 – Bulk/Control IN Start-split Transaction Host State Machine .....	374
Figure 11-57 – Bulk/Control IN Complete-split Transaction Host State Machine .....	375
Figure 11-58 – Bulk/Control IN Start-split Transaction TT State Machine .....	376
Figure 11-59 – Bulk/Control IN Complete-split Transaction TT State Machine .....	376
Figure 11-60 – Best Case Budgeted Full-speed Wire Time With No Bit Stuffing .....	378
Figure 11-61 – Scheduling of TT Microframe Pipeline .....	379
Figure 11-62 – Isochronous OUT Example That Avoids a Start-split-end With Zero Data.....	380
Figure 11-63 – End of Frame TT Pipeline Scheduling Example .....	381
Figure 11-64 – Isochronous IN Complete-split Schedule Example at $L=Y_6$ .....	381
Figure 11-65 – Isochronous IN Complete-split Schedule Example at $L=Y_7$ .....	382
Figure 11-66 – Microframe Pipeline .....	385
Figure 11-67 – Advance_Pipeline Pseudocode .....	386
Figure 11-68 – Interrupt OUT Start-split Transaction Sequence .....	388

Figure 11-69 – Interrupt OUT Complete-split Transaction Sequence .....	389
Figure 11-70 – Interrupt IN Start-split Transaction Sequence .....	389
Figure 11-71 – Interrupt IN Complete-split Transaction Sequence.....	390
Figure 11-72 – Interrupt OUT Start-split Transaction Host State Machine .....	391
Figure 11-73 – Interrupt OUT Complete-split Transaction Host State Machine .....	392
Figure 11-74 – Interrupt OUT Start-split Transaction TT State Machine .....	393
Figure 11-75 – Interrupt OUT Complete-split Transaction TT State Machine .....	393
Figure 11-76 – Interrupt IN Start-split Transaction Host State Machine .....	394
Figure 11-77 – Interrupt IN Complete-split Transaction Host State Machine.....	395
Figure 11-78 – HC_Data_or_Error State Machine .....	396
Figure 11-79 – Interrupt IN Start-split Transaction TT State Machine .....	396
Figure 11-80 – Interrupt IN Complete-split Transaction TT State Machine.....	397
Figure 11-81 – Example of CRC16 Handling for Interrupt OUT.....	398
Figure 11-82 – Example of CRC16 Handling for Interrupt IN .....	399
Figure 11-83 – Isochronous OUT Start-split Transaction Sequence .....	401
Figure 11-84 – Isochronous IN Start-split Transaction Sequence .....	401
Figure 11-85 – Isochronous IN Complete-split Transaction Sequence.....	402
Figure 11-86 – Isochronous OUT Start-split Transaction Host State Machine.....	403
Figure 11-87 – Isochronous OUT Start-split Transaction TT State Machine.....	404
Figure 11-88 – Isochronous IN Start-split Transaction Host State Machine .....	405
Figure 11-89 – Isochronous IN Complete-split Transaction Host State Machine .....	405
Figure 11-90 – Isochronous IN Start-split Transaction TT State Machine .....	406
Figure 11-91 – Isochronous IN Complete-split Transaction TT State Machine .....	406
Figure 11-92 – Example of CRC16 Isochronous OUT Data Packet Handling .....	407
Figure 11-93 – Example of CRC16 Isochronous IN Data Packet Handling.....	408
Figure 11-94 – Example Frame/Microframe Synchronization Events .....	410
Figure A-1 – Normal No Smash .....	438
Figure A-2 – Normal HS DATA0/1 Smash .....	439
Figure A-3 – Normal HS DATA0/1 3 Strikes Smash.....	440
Figure A-4 – Normal HS ACK(S) Smash (case 1).....	441
Figure A-5 – Normal HS ACK(S) Smash (case 2).....	442
Figure A-6 – Normal HS ACK(S) 3 Strikes Smash.....	443
Figure A-7 – Normal HS CSPLIT Smash .....	444
Figure A-8 – Normal HS CSPLIT 3 Strikes Smash .....	445
Figure A-9 – Normal HS ACK(C) Smash .....	446
Figure A-10 – Normal S ACK(C) 3 Strikes Smash .....	447
Figure A-11 – Normal FS/LS DATA0/1 Smash .....	448
Figure A-12 – Normal FS/LS DATA0/1 3 Strikes Smash.....	449
Figure A-13 – Normal FS/LS ACK Smash .....	450
Figure A-14 – Normal FS/LS ACK 3 Strikes Smash.....	451
Figure A-15 – No buffer Available No Smash (HS NAK(S)) .....	452
Figure A-16 – No Buffer Available HS NAK(S) Smash.....	453
Figure A-17 – No Buffer Available HS NAK(S) 3 Strikes Smash .....	454

Figure A-18 – CS Earlier No Smash (HS NYET).....	455
Figure A-19 – CS Earlier HS NYET Smash (case 1).....	456
Figure A-20 – CS Earlier HS NYET Smash (case 2).....	457
Figure A-21 – CS Earlier HS NYET 3 Strikes Smash.....	458
Figure A-22 – Device Busy No Smash(FS/LS NAK).....	459
Figure A-23 – Device Stall No Smash(FS/LS STALL).....	460
Figure A-24 – Normal No Smash.....	462
Figure A-25 – Normal HS SSPLIT Smash .....	463
Figure A-26 – Normal SSPLIT 3 Strikes Smash .....	464
Figure A-27 – Normal HS ACK(S) Smash (case 1).....	465
Figure A-28 – Normal HS ACK(S) Smash (case 2).....	466
Figure A-29 – Normal HS ACK(S) 3 Strikes Smash.....	467
Figure A-30 – Normal HS CSPLIT Smash .....	468
Figure A-31 – Normal HS CSPLIT 3 Strikes Smash.....	469
Figure A-32 – Normal HS DATA0/1 Smash .....	470
Figure A-33 – Normal HS DATA0/1 3 Strikes Smash.....	471
Figure A-34 – Normal FS/LS IN Smash.....	472
Figure A-35 – Normal FS/LS IN 3 Strikes Smash .....	473
Figure A-36 – Normal FS/LS DATA0/1 Smash .....	474
Figure A-37 – Normal FS/LS DATA0/1 3 Strikes Smash.....	475
Figure A-38 – Normal FS/LS ACK Smash .....	476
Figure A-39 – No Buffer Available No Smash(HS NAK(S)).....	477
Figure A-40 – No Buffer Available HS NAK(S) Smash.....	478
Figure A-41 – No Buffer Available HS NAK(S) 3 Strikes Smash .....	479
Figure A-42 – CS Earlier No Smash (HS NYET).....	480
Figure A-43 – CS Earlier HS NYET Smash (case 1).....	481
Figure A-44 – CS Earlier HS NYET Smash (case 2).....	482
Figure A-45 – Device Busy No Smash(FS/LS NAK).....	483
Figure A-46 – Device Stall No Smash(FS/LS STALL).....	484
Figure A-47 – Normal No Smash(FS/LS Handshake Packet is Done by M+1).....	487
Figure A-48 – Normal HS DATA0/1 Smash .....	488
Figure A-49 – Normal HS CSPLIT Smash .....	489
Figure A-50 – Normal HS CSPLIT 3 Strikes Smash.....	490
Figure A-51 – Normal HS ACK(C) Smash .....	491
Figure A-52 – Normal HS ACK(C) 3 Strikes Smash.....	492
Figure A-53 – Normal FS/LS DATA0/1 Smash .....	493
Figure A-54 – Normal FS/LS ACK Smash .....	494
Figure A-55 – Searching No Smash .....	495
Figure A-56 – CS Earlier No Smash(HS NYET and FS/LS Handshake Packet is Done by M+2) .....	496
Figure A-57 – CS Earlier No Smash(HS NYET and FS/LS Handshake Packet is Done by M+3) .....	497
Figure A-58 – CS Earlier HS NYET Smash .....	498
Figure A-59 – CS Earlier HS NYET 3 Strikes Smash.....	499

Figure A-60 – Abort and Free Abort(FS/LS Transaction is Continued at End of M+3) .....	500
Figure A-61 – Abort and Free Free(FS/LS Transaction is not Started at End of M+3) .....	501
Figure A-62 – Device Busy No Smash(FS/LS NAK).....	502
Figure A-63 – Device Stall No Smash(FS/LS STALL).....	503
Figure A-64 – Normal No Smash (FS/LS Data Packet is on M+1).....	506
Figure A-65 – Normal HS SSPLIT Smash .....	507
Figure A-66 – Normal HS CSPLIT Smash .....	508
Figure A-67 – Normal HS CSPLIT 3 Strikes Smash.....	509
Figure A-68 – Normal HS DATA0/1 Smash .....	510
Figure A-69 – Normal HS DATA0/1 3 Strikes Smash.....	511
Figure A-70 – Normal FS/LS IN Smash .....	512
Figure A-71 – Normal FS/LS DATA0/1 Smash .....	513
Figure A-72 – Normal FS/LS ACK Smash .....	514
Figure A-73 – Searching No Smash .....	515
Figure A-74 – CS Earlier No Smash (HS MDATA and FS/LS Data Packet is on M+1 and M+2) .....	516
Figure A-75 – CS Earlier No Smash (HS NYET and FS/LS Data Packet is on M+2) .....	517
Figure A-76 – CS Earlier No Smash (HS NYET and MDATA and FS/LS Data Packet is on M+2 and M+3).....	518
Figure A-77 – CS Earlier No Smash(HS NYET and FS/LS Data Packet is on M+3) .....	519
Figure A-78 – CS Earlier HS NYET Smash .....	520
Figure A-79 – CS Earlier HS NYET 3 Strikes Smash.....	521
Figure A-80 – Abort and Free Abort (HS NYET and FS/LS Transaction is Continued at End of M+3).....	522
Figure A-81 – Abort and Free Free (HS NYET and FS/LS Transaction is not Started at End of M+3).....	523
Figure A-82 – Device Busy No Smash(FS/LS NAK).....	524
Figure A-83 – Device Stall No Smash(FS/LS STALL).....	525
Figure C-1 – Downstream Facing Port Reset Protocol State Diagram .....	560
Figure C-2 – Upstream Facing Port Reset Detection State Diagram.....	562
Figure C-3 – Upstream Facing Port Reset Handshake State Diagram .....	563
Figure 8-27 – Host High-speed Bulk OUT/Control Ping State Machine.....	643
Figure 8-31 – FS Bulk, FS/LS Control, or HS/FS/LS Interrupt OUT Transaction Host State Machine.....	644
Figure 8-32 – FS Bulk, /FS/LS Control, /or HS/FS/LS Interrupt OUT Transaction Host State Machine.....	645
Figure 11-11 – Port Indicator State Diagram .....	661
Figure 6-1 – Keyed Connector Protocol .....	670
Figure 6-2 – USB Standard Detachable Cable Assembly .....	672
Figure 6-3 – USB Standard Mini-connector Detachable Cable Assembly.....	673
Figure 6-3 – USB High-/full-speed Hardwired Cable Assembly.....	675
Figure 6-46-5 – USB Low-speed Hardwired Cable Assembly .....	677
Figure 6-56-6 – USB Icon .....	679
Figure 6-66-7 – Typical USB Plug Orientation.....	680

Figure 6-8 – Typical USB “Mini-B” Connector Plug Orientation.....	681
Figure 6-9 – USB Series “A” Receptacle Interface and Mating Drawing .....	683
Figure 6-10 – USB Series “B” Receptacle Interface and Mating Drawing.....	684
Figure 6-11 – USB Series “Mini-B” Receptacle Interface and Mating Drawing .....	685
Figure 6-12 – USB Series “Mini-B” Receptacle Interface Drawing (Detail).tiff .....	686
Figure 6-13 – USB Series “A” Plug Interface Drawing .....	689
Figure 6-14 – USB Series “B” Plug Interface Drawing .....	690
Figure 6-15 – USB Series “Mini-B” Plug Interface Drawing.....	691
Figure 6-16 – Typical High-/full-speed Cable Construction .....	694
Figure 6-17 – Single Pin-type Series “A” Receptacle.....	704
Figure 6-18 – Dual Pin-type Series “A” Receptacle .....	705
Figure 6-19 – Single Pin-type Series “B” Receptacle.....	706
Figure 6-20 – Single Pin-Type Series “Mini-B” Receptacle .....	707
Figure 11-11 – Port Indicator State Diagram .....	720
Figure 11-82 – Example of CRC16 Handling for Interrupt IN .....	725
Figure 11-93 – Example of CRC16 Isochronous IN Data Packet Handling.....	725
Figure 6-15 – USB Series “Mini-B” Plug Interface Drawing (1 of 2) .....	736
Figure 6-15 – USB Series “Mini-B” Plug Interface Drawing (2 of 2) .....	737
Figure 1-1 – LPM State Transition Diagram .....	744
Figure 2-1 – Packets in an Extension Token Transaction .....	746
Figure 2-2 – LPM Extended Token.....	747
Figure 2-3 – LPM Transaction Format.....	748
Figure 4-1 – Port Control Model for Transitioning a Port to L1.....	751
Figure 4-2 – LPM Transaction and Transition Timing to L1 .....	752
Figure 4-3 – Device Initiated L1 to L0 Transition (Remote Wake).....	753
Figure 4-4 – Example Remote-wakeup L1 Exit with Full-speed Device Under Connected Hub.....	754
Figure 4-5 – Basic Port Control Model for Transitioning a Port out of L1 .....	757
Figure 4-6 – Host Initiated L1 to L0 Transition (L1 Exit) .....	757
Figure 4-7 – USB 2.0 Hub Reference Port State Machine Relationships with L1 Additions .....	758
Figure 4-8 – L1 Addendum to the Upstream Facing Port Receiver State Machine .....	759
Figure 4-9 – Addendum to the Upstream Facing Port Transmitter State Machine .....	761
Figure 4-10 – Addendum to the Internal Port State Machine .....	762
Figure 4-11 – Addendum to Downstream Facing Hub Port State Machine .....	764
Figure 7-29 – Connect Event Timing .....	786
Table 5-1 – Low-speed Control Transfer Limits .....	65
Table 5-2 – Full-speed Control Transfer Limits.....	66
Table 5-3 – High-speed Control Transfer Limits .....	66
Table 5-4 – Full-speed Isochronous Transaction Limits.....	68
Table 5-5 – High-speed Isochronous Transaction Limits .....	69
Table 5-6 – Low-speed Interrupt Transaction Limits .....	72
Table 5-7 – Full-speed Interrupt Transaction Limits .....	72

Table 5-8 – High-speed Interrupt Transaction Limits .....	73
Table 5-9 – Full-speed Bulk Transaction Limits .....	76
Table 5-10 – High-speed Bulk Transaction Limits .....	76
Table 5-11 – <i>wMaxPacketSize</i> Field of Endpoint Descriptor .....	77
Table 5-12 – Synchronization Characteristics .....	92
Table 5-13 – Connection Requirements .....	98
Table 6-1 – USB Connector Termination Assignment.....	112
Table 6-2 – Power Pair .....	120
Table 6-3 – Signal Pair .....	120
Table 6-4 – Drain Wire Signal Pair.....	121
Table 6-5 – Nominal Cable Diameter .....	122
Table 6-6 – Conductor Resistance .....	122
Table 6-7 – USB Electrical, Mechanical, and Environmental Compliance Standards .....	123
Table 6-7 – USB Electrical, Mechanical, and Environmental Compliance Standards (Continued).....	124
Table 7-1 – Description of Functional Elements in the Example Shown in Figure 7-1 .....	134
Table 7-2 – Low-/full-speed Signaling Levels .....	157
Table 7-3 – High-speed Signaling Levels .....	160
Table 7-3 – High-speed Signaling Levels (Continued).....	161
Table 7-4 – Full-speed Jitter Budget .....	178
Table 7-5 – Low-speed Jitter Budget.....	179
Table 7-6 – Maximum Allowable Cable Loss .....	181
Table 7-7 – DC Electrical Characteristics.....	192
Table 7-7 – DC Electrical Characteristics ( <i>Continued</i> ).....	193
Table 7-7 – DC Electrical Characteristics ( <i>Continued</i> ).....	194
Table 7-8 – High-speed Source Electrical Characteristics .....	194
Table 7-9 – Full-speed Source Electrical Characteristics.....	195
Table 7-10 – Low-speed Source Electrical Characteristics .....	196
Table 7-11 – Hub/Repeater Electrical Characteristics .....	197
Table 7-12 – Cable Characteristics (Note 14).....	198
Table 7-13 – Hub Event Timings .....	199
Table 7-13 – Hub Event Timings (Continued).....	200
Table 7-14 – Device Event Timings.....	200
Table 7-14 – Device Event Timings (Continued).....	201
Table 8-1 – PID Types .....	206
Table 8-2 – Isochronous OUT Payload Continuation Encoding.....	213
Table 8-3 – Endpoint Type Values in Split Special Token.....	214
Table 8-4 – Function Responses to IN Transactions .....	217
Table 8-5 – Host Responses to IN Transactions.....	218
Table 8-6 – Function Responses to OUT Transactions in Order of Precedence.....	218
Table 8-7 – Status Stage Responses .....	237
Table 8-8 – Packet Error Types .....	247
Table 9-1 – Visible Device States .....	252

Table 9-2 – Format of Setup Data .....	259
Table 9-3 – Standard Device Requests .....	261
Table 9-4 – Standard Request Codes .....	261
Table 9-5 – Descriptor Types .....	262
Table 9-6 – Standard Feature Selectors.....	262
Table 9-7 – Test Mode Selectors .....	268
Table 9-8 – Standard Device Descriptor.....	271
Table 9-9 – Device_Qualifier Descriptor.....	273
Table 9-10 – Standard Configuration Descriptor.....	274
Table 9-11 – Other_Speed_Configuration Descriptor .....	275
Table 9-12 – Standard Interface Descriptor.....	276
Table 9-13 – Standard Endpoint Descriptor.....	277
Table 9-13 – Standard Endpoint Descriptor ( <i>Continued</i> ) .....	278
Table 9-14 – Allowed wMaxPacketSize Values for Different Numbers of Transactions per Microframe .....	279
Table 9-15 – String Descriptor Zero, Specifying Languages Supported by the Device.....	280
Table 9-16 – UNICODE String Descriptor .....	280
Table 11-1 – High-speed Microframe Timer Range Contributions.....	306
Table 11-2 – Full-speed Frame Timer Range Contributions.....	307
Table 11-3 – Hub and Host EOF1/EOF2 Timing Points .....	309
Table 11-4 – Internal Port Signal/Event Definitions .....	314
Table 11-5 – Downstream Facing Port Signal/Event Definitions .....	317
Table 11-6 – Automatic Port State to Port Indicator Color Mapping .....	323
Table 11-7 – Port Indicator Color Definitions.....	324
Table 11-8 – Upstream Facing Port Receiver Signal/Event Definitions.....	326
Table 11-9 – Upstream Facing Port Transmit Signal/Event Definitions .....	329
Table 11-10 – High-speed Port Selector Signal/Event Definitions .....	332
Table 11-11 – Hub Repeater Signal/Event Definitions .....	333
Table 11-12 – Hub Power Operating Mode Summary .....	346
Table 11-13 – Hub Descriptor .....	419
Table 11-14 – Hub Responses to Standard Device Requests.....	420
Table 11-15 – Hub Class Requests.....	421
Table 11-16 – Hub Class Request Codes.....	422
Table 11-17 – Hub Class Feature Selectors.....	422
Table 11-18 – wValue Field for Clear_TT_Buffer.....	424
Table 11-19 – Hub Status Field, wHubStatus .....	425
Table 11-20 – Hub Change Field, wHubChange.....	426
Table 11-21 – Port Status Field, wPortStatus.....	427
Table 11-22 – Port Change Field, wPortChange .....	431
Table 11-23 – Format of Returned TT State.....	432
Table 11-24 – Test Mode Selector Codes .....	436
Table 11-25 – Port Indicator Selector Codes.....	436
Table 5-3 – High-speed Control Transfer Limits .....	636

Table 5-8 – High-speed Interrupt Transaction Limits .....	637
Table 5-5 – High-speed Isochronous Transaction Limits .....	638
Table 9-3 – Standard Device Requests .....	647
Table 11-14 – Hub Responses to Standard Device Requests .....	663
Table 11-21 – Port Status Field, wPortStatus .....	665
Table 6-1 – USB Series “A” and Series “B” Connector Termination Assignment .....	682
Table 6-2 – USB Series “mini-B” Connector Termination Assignment .....	682
Table 6-26-3 – Power Pair .....	695
Table 6-36-4 – Signal Pair .....	695
Table 6-46-5 – Drain Wire Signal Pair .....	696
Table 6-56-6 – Nominal Cable Diameter .....	697
Table 6-66-7 – Conductor Resistance .....	697
Table 6-76-8 – USB Electrical, Mechanical, and Environmental Compliance Standards .....	698
Table 6-76-8 – USB Electrical, Mechanical, and Environmental Compliance Standards (Continued) .....	699
Table 6-76-8 – USB Electrical, Mechanical, and Environmental Compliance Standards (Continued) .....	700
Table 6-76-8 – USB Electrical, Mechanical, and Environmental Compliance Standards (Continued) .....	701
Table 6-76-8 – USB Electrical, Mechanical, and Environmental Compliance Standards (Continued) .....	702
Table 9-13 – Standard Endpoint Descriptor (Continued) .....	717
Table 11-6 – Automatic Port State to Port Indicator Color Mapping .....	719
Table 9-5 – Descriptor Types .....	733
Table 9-13 – Standard Interface Association Descriptor .....	734
Table 9-4314 – Standard Endpoint Descriptor .....	734
Table 9-16 – UNICODE String Descriptor .....	740
Table 1-1 – USB Link Power Management (Lx) States .....	743
Table 1-2 – Summary Similarities/Differences Between L1 and L2 .....	744
Table 2-1 – PID Types .....	745
Table 2-2 – SubPID Types .....	747
Table 2-2 – SubPID Types (cont.) .....	747
Table 2-3 – LPM Token <i>bmAttributes</i> Field Definition .....	748
Table 3-1 – USB Device Capabilities – USB 2.0 Extension Descriptor .....	749
Table 3-1 – USB Device Capabilities – USB 2.0 Extension Descriptor (cont.) .....	750
Table 4-1 – Device Initiated Resume Propagation and Adjacent Port Side-effects .....	756
Table 4-2 – Upstream Facing Port Receiver Signal/Event Definitions (Addendum) .....	759
Table 4-3 – Upstream Facing Port Transmitter Signal/Event Definitions (Addendum) .....	761
Table 4-4 – Internal Port Signal/Event Definitions (Addendum) .....	763
Table 4-5 – Downstream Port Signal/Event Definitions (Addendum) .....	764
Table 4-6 – Summary LPM Timing Characteristics .....	767
Table 4-7 – Hub Class Feature Selectors .....	767
Table 4-7 – Hub Class Feature Selectors (cont.) .....	768
Table 4-8 – <i>wIndex</i> Definition for Clear Port Feature on an LPM Enabled Hub .....	768



Table 4-9 – Port Status Bits with L1 Additions.....	769
Table 4-10 – Port Change Bits with L1 Additions.....	770
Table 4-11 – Set and Test Port Feature Details .....	771
Table 9-7 – Test Mode Selectors .....	787
Table 9-7 – Test Mode Selectors .....	787

**NOTE All Engineering Change Notices (ECN) and Errata documents as of September 01, 2012 that pertain to this core specification follow the last page of the specification starting on page 635.**

## Universal Serial Bus Specification

**Compaq  
Hewlett-Packard  
Intel  
Lucent  
Microsoft  
NEC  
Philips**

**Revision 2.0  
April 27, 2000**

### Scope of this Revision

The 2.0 revision of the specification is intended for product design. Every attempt has been made to ensure a consistent and implementable specification. Implementations should ensure compliance with this revision.

### Revision History

Revision	Issue Date	Comments
0.7	November 11, 1994	Supersedes 0.6e.
0.8	December 30, 1994	Revisions to Chapters 3-8, 10, and 11. Added appendixes.
0.9	April 13, 1995	Revisions to all the chapters.
0.99	August 25, 1995	Revisions to all the chapters.
1.0 FDR	November 13, 1995	Revisions to Chapters 1, 2, 5-11.
1.0	January 15, 1996	Edits to Chapters 5, 6, 7, 8, 9, 10, and 11 for consistency..
1.1	September 23, 1998	Updates to all chapters to fix problems identified.
2.0 (draft 0.79)	October 5, 1999	Revisions to chapters 5, 7, 8, 9, 11 to add high speed.
2.0 (draft 0.9)	December 21, 1999	Revisions to all chapters to add high speed.
2.0	April 27, 2000	Revisions for high-speed mode.

**Universal Serial Bus Specification  
Copyright © 2000, Compaq Computer Corporation,  
Hewlett-Packard Company,  
Intel Corporation,  
Lucent Technologies Inc,  
Microsoft Corporation,  
NEC Corporation,  
Koninklijke Philips Electronics N.V.  
All rights reserved.**

## INTELLECTUAL PROPERTY DISCLAIMER

THIS SPECIFICATION IS PROVIDED TO YOU "AS IS" WITH NO WARRANTIES WHATSOEVER, INCLUDING ANY WARRANTY OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE. THE AUTHORS OF THIS SPECIFICATION DISCLAIM ALL LIABILITY, INCLUDING LIABILITY FOR INFRINGEMENT OF ANY PROPRIETARY RIGHTS, RELATING TO USE OR IMPLEMENTATION OF INFORMATION IN THIS SPECIFICATION. THE PROVISION OF THIS SPECIFICATION TO YOU DOES NOT PROVIDE YOU WITH ANY LICENSE, EXPRESS OR IMPLIED, BY ESTOPPEL OR OTHERWISE, TO ANY INTELLECTUAL PROPERTY RIGHTS.

All product names are trademarks, registered trademarks, or servicemarks of their respective owners.

Please send comments via electronic mail to [techsup@usb.org](mailto:techsup@usb.org)

For industry information, refer to the USB Implementers Forum web page at <http://www.usb.org>

### Acknowledgement of USB 2.0 Technical Contribution

The authors of this specification would like to recognize the following people who participated in the USB 2.0 Promoter Group technical working groups. We would also like to thank others in the USB 2.0 Promoter companies and throughout the industry who contributed to the development of this specification.

#### Hub Working Group

John Garney	Intel Corporation (Chair/Editor)
Ken Stufflebeam	Compaq Computer Corporation
David Wooten	Compaq Computer Corporation
Matt Nieberger	Hewlett-Packard Company
John Howard	Intel Corporation
Venkat Iyer	Intel Corporation
Steve McGowan	Intel Corporation
Geert Knapen	Royal Philips Electronics
Zong Liang Wu	Royal Philips Electronics
Jim Clee	Lucent Technologies Inc
Jim Guziak	Lucent Technologies Inc
Dave Thompson	Lucent Technologies Inc
John Fuller	Microsoft Corporation
Nathan Sherman	Microsoft Corporation
Mark Williams	Microsoft Corporation
Nobuo Furuya	NEC Corporation
Toshimi Sakurai	NEC Corporation
Moto Sato	NEC Corporation
Katsuya Suzuki	NEC Corporation

**Electrical Working Group**

Jon Lueker	Intel Corporation (Chair/Editor)
David Wooten	Compaq Computer Corporation
Matt Nieberger	Hewlett-Packard Company
Larry Taugher	Hewlett-Packard Company
Venkat Iyer	Intel Corporation
Steve McGowan	Intel Corporation
Mike Pennell	Intel Corporation
Todd West	Intel Corporation
Gerrit den Besten	Royal Philips Electronics
Marq Kole	Royal Philips Electronics
Zong Liang Wu	Royal Philips Electronics
Jim Clee	Lucent Technologies Inc
Jim Guziak	Lucent Technologies Inc
Par Parikh	Lucent Technologies Inc
Dave Thompson	Lucent Technologies Inc
Ed Giaimo	Microsoft Corporation
Mark Williams	Microsoft Corporation
Toshihiko Ohtani	NEC Corporation
Kugao Ouchi	NEC Corporation
Katsuya Suzuki	NEC Corporation
Toshio Tasaki	NEC Corporation

## UNIVERSAL SERIAL BUS INTERFACES FOR DATA AND POWER –

### Part 2-1: Universal Serial Bus Specification, Revision 2.0

## 1 Chapter 1 Introduction

### 1.1 Motivation

The original motivation for the Universal Serial Bus (USB) came from three interrelated considerations:

- Connection of the PC to the telephone

It is well understood that the merge of computing and communication will be the basis for the next generation of productivity applications. The movement of machine-oriented and human-oriented data types from one location or environment to another depends on ubiquitous and cheap connectivity. Unfortunately, the computing and communication industries have evolved independently. The USB provides a ubiquitous link that can be used across a wide range of PC-to-telephone interconnects.

- Ease-of-use

The lack of flexibility in reconfiguring the PC has been acknowledged as the Achilles' heel to its further deployment. The combination of user-friendly graphical interfaces and the hardware and software mechanisms associated with new-generation bus architectures have made computers less confrontational and easier to reconfigure. However, from the end user's point of view, the PC's I/O interfaces, such as serial/parallel ports, keyboard/mouse/joystick interfaces, etc., do not have the attributes of plug-and-play.

- Port expansion

The addition of external peripherals continues to be constrained by port availability. The lack of a bi-directional, low-cost, low-to-mid speed peripheral bus has held back the creative proliferation of peripherals such as telephone/fax/modem adapters, answering machines, scanners, PDA's, keyboards, mice, etc. Existing interconnects are optimized for one or two point products. As each new function or capability is added to the PC, a new interface has been defined to address this need.

The more recent motivation for USB 2.0 stems from the fact that PCs have increasingly higher performance and are capable of processing vast amounts of data. At the same time, PC peripherals have added more performance and functionality. User applications such as digital imaging demand a high performance connection between the PC and these increasingly sophisticated peripherals. USB 2.0 addresses this need by adding a third transfer rate of 480 Mb/s to the 12 Mb/s and 1.5 Mb/s originally defined for USB. USB 2.0 is a natural evolution of USB, delivering the desired bandwidth increase while preserving the original motivations for USB and maintaining full compatibility with existing peripherals.

Thus, USB continues to be the answer to connectivity for the PC architecture. It is a fast, bi-directional, isochronous, low-cost, dynamically attachable serial interface that is consistent with the requirements of the PC platform of today and tomorrow.

### 1.2 Objective of the Specification

This document defines an industry-standard USB. The specification describes the bus attributes, the protocol definition, types of transactions, bus management, and the

programming interface required to design and build systems and peripherals that are compliant with this standard.

The goal is to enable such devices from different vendors to interoperate in an open architecture. The specification is intended as an enhancement to the PC architecture, spanning portable, business desktop, and home environments. It is intended that the specification allow system OEMs and peripheral developers adequate room for product versatility and market differentiation without the burden of carrying obsolete interfaces or losing compatibility.

### **1.3 Scope of the Document**

The specification is primarily targeted to peripheral developers and system OEMs, but provides valuable information for platform operating system/ BIOS/ device driver, adapter IHVs/ISVs, and platform/adaptor controller vendors. This specification can be used for developing new products and associated software.

### **1.4 USB Product Compliance**

Adopters of the USB 2.0 specification have signed the USB 2.0 Adopters Agreement, which provides them access to a reciprocal royalty-free license from the Promoters and other Adopters to certain intellectual property contained in products that are compliant with the USB 2.0 specification. Adopters can demonstrate compliance with the specification through the testing program as defined by the USB Implementers Forum. Products that demonstrate compliance with the specification will be granted certain rights to use the USB Implementers Forum logo as defined in the logo license.

### **1.5 Document Organization**

Chapters 1 through 5 provide an overview for all readers, while Chapters 6 through 11 contain detailed technical information defining the USB.

- Peripheral implementers should particularly read Chapters 5 through 11.
- USB Host Controller implementers should particularly read Chapters 5 through 8, 10, and 11.
- USB device driver implementers should particularly read Chapters 5, 9, and 10.

This document is complemented and referenced by the Universal Serial Bus Device Class Specifications. Device class specifications exist for a wide variety of devices. Please contact the USB Implementers Forum for further details.

Readers are also requested to contact operating system vendors for operating system bindings specific to the USB.

## COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

### INTERFACES DE BUS UNIVERSEL EN SÉRIE POUR LES DONNÉES ET L'ALIMENTATION ÉLECTRIQUE –

#### Partie 2-1: Spécification du bus universel en série, révision 2.0

#### AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC - entre autres activités - publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale IEC 62680-2-1 a été établie par le Domaine technique 14: Interfaces et méthodes de mesure pour les équipements d'ordinateur personnel, du comité d'études 100 de l'IEC: Systèmes et équipements audio, vidéo et services de données.

Le texte de cette norme est issu des documents élaborés par l'USB Implementers Forum (USB-IF). Les règles structurelles et éditoriales utilisées dans la présente publication reflètent les pratiques en vigueur au sein de l'organisme responsable de sa soumission.

Cette première édition annule et remplace l'IEC 62680-1 parue en 2013. Cette édition constitue une révision technique.

La présente version bilingue (2018-10) correspond à la version anglaise monolingue publiée en 2015-09.

Le texte anglais de cette norme est issu des documents 100/2331/CDV et 100/2434/RVC.

Le rapport de vote 100/2434/RVC donne toute information sur le vote ayant abouti à l'approbation de cette norme.

La version française de cette norme n'a pas été soumise au vote.

Une liste de toutes les parties de la série IEC 62680, publiées sous le titre général *Interfaces de bus universel en série pour les données et l'alimentation électrique*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

**IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.**



## INTRODUCTION

La série IEC 62680 est issue d'une série de spécifications initialement établies par l'USB Implementers Forum (USB-IF). Ces spécifications ont été soumises à l'IEC dans le cadre d'un accord particulier conclu entre l'IEC et l'USB-IF.

L'USB Implementers Forum, Inc. (USB-IF) est un organisme à but non lucratif fondé par le groupe de sociétés qui a développé la spécification du bus universel en série. L'USB-IF a été créé dans le but de proposer un organisme et un forum à même de favoriser la progression et l'adoption de la technologie USB. Le forum facilite le développement de périphériques (dispositifs) USB compatibles et de haute qualité et promeut les avantages de la technologie USB et la qualité des produits qui ont été validés par des essais de conformité.

**L'ENSEMBLE DES SPÉCIFICATIONS USB CI-APRÈS VOUS SONT FOURNIES "EN L'ÉTAT", SANS GARANTIE D'AUCUNE SORTE, EN CE COMPRIS TOUTE GARANTIE DE QUALITÉ MARCHANDE, DE NON-VIOLATION OU D'ADAPTATION À UN USAGE PARTICULIER. L'USB IMPLEMENTERS FORUM ET LES AUTEURS DE L'ENSEMBLE DES SPÉCIFICATIONS USB CI-APRÈS DÉCLINENT TOUTE RESPONSABILITÉ, Y COMPRIS TOUTE RESPONSABILITÉ RELATIVE À LA VIOLATION DE DROITS DE PROPRIÉTÉ, EN CE QUI CONCERNE L'UTILISATION OU LA MISE EN ŒUVRE DES INFORMATIONS CONTENUES DANS LA PRÉSENTE SPÉCIFICATION.**

**LA MISE À DISPOSITION D'UNE SPÉCIFICATION USB, QUELLE QU'ELLE SOIT, N'IMPLIQUE L'OCTROI D'AUCUNE LICENCE, EXPRESSE OU IMPLICITE, PAR PERCLUSION OU AUTRE, SUR AUCUN DROIT DE PROPRIÉTÉ INTELLECTUELLE.**

La conclusion d'accords USB Adopters Agreements peut cependant permettre à une société signataire de prendre part à un accord de licence réciproque et libre de redevance sur des produits compatibles. Pour plus d'informations, se rendre sur:

<http://www.usb.org/developers/docs/>

[http://www.usb.org/developers/devclass\\_docs#approved](http://www.usb.org/developers/devclass_docs#approved)

L'IEC NE PREND PAS POSITION SUR LA QUESTION DE SAVOIR S'IL VAUT LA PEINE QUE VOUS CONCLUIEZ UN QUELCONQUE ACCORD USB ADOPTERS AGREEMENT OU QUE VOUS PARTICIPIEZ À L'USB IMPLEMENTERS FORUM.

*La présente série traite des interfaces de bus universel en série pour les données et l'alimentation électrique et est composée des parties suivantes:*

IEC 62680-1-1, *Interfaces de bus universel en série pour les données et l'alimentation électrique – Partie 1-1: Composants communs – Spécification de chargement des batteries USB, révision 1.2*

IEC 62680-2-1, *Interfaces de bus universel en série pour les données et l'alimentation électrique – Partie 2-1: Spécification du bus universel en série, révision 2.0*

IEC 62680-2-2, *Interfaces de bus universel en série pour les données et l'alimentation électrique – Partie 2-2: Spécification des câbles et connecteurs micro-USB, révision 1.01*

IEC 62680-2-3, *Interfaces de bus universel en série pour les données et l'alimentation électrique – Partie 2-3: Document des classes de câbles et connecteurs USB, révision 2.0*

La présente partie de la série IEC 62680 se compose de différentes parties distinctes:

- le corps du texte, qui correspond à la spécification initiale, ainsi que l'ensemble des ECN et des errata développés par l'USB-IF.

## SOMMAIRE

AVANT-PROPOS.....	792
INTRODUCTION.....	794
1 Chapitre 1 Introduction .....	820
1.1 Motivation .....	820
1.2 Objectif de la spécification .....	821
1.3 Domaine d'application du document.....	821
1.4 Conformité des produits à l'USB .....	821
1.5 Organisation du document .....	821
2 Chapitre 2 Termes et abréviations .....	822
3 Chapitre 3 Contexte.....	829
3.1 Objectifs du bus universel en série .....	829
3.2 Taxinomie de l'espace d'application .....	829
3.3 Liste des caractéristiques .....	831
4 Chapitre 4 Vue d'ensemble de l'architecture .....	833
4.1 Description du système USB.....	833
4.1.1 Topologie en bus .....	833
4.2 Interface physique .....	835
4.2.1 Essais électriques .....	835
4.2.2 Spécifications mécaniques .....	836
4.3 Puissance .....	836
4.3.1 Distribution de l'alimentation.....	836
4.3.2 Gestion de l'alimentation .....	836
4.4 Protocole de bus.....	837
4.5 Robustesse.....	837
4.5.1 Détection des erreurs .....	838
4.5.2 Gestion des erreurs .....	838
4.6 Configuration du système .....	838
4.6.1 Connexion des dispositifs USB .....	838
4.6.2 Débranchement de dispositifs USB.....	838
4.6.3 Enumération de bus.....	839
4.7 Types de flux de données .....	839
4.7.1 Transferts de contrôle.....	839
4.7.2 Transferts en masse .....	839
4.7.3 Transferts d'interruption.....	840
4.7.4 Transferts isochrones .....	840
4.7.5 Allocation de bande passante USB .....	840
4.8 Dispositifs USB .....	841
4.8.1 Caractérisation du dispositif .....	841
4.8.2 Description du dispositif.....	841
4.9 Hôte USB: Matériel et logiciel .....	844
4.10 Extensions architecturales .....	844
5 Chapitre 5 Modèle de flux de données USB.....	845
5.1 Points de vue des responsables de la mise en œuvre .....	845
5.2 Topologie en bus .....	847
5.2.1 Hôte USB .....	847
5.2.2 Dispositifs USB.....	848

5.2.3	Topologie de bus physique .....	849
5.2.4	Topologie de bus logique .....	852
5.2.5	Relation logiciel client-fonction .....	852
5.3	Flux de communication USB .....	853
5.3.1	Points d'extrémité du dispositif .....	856
5.3.2	Canaux .....	857
5.3.3	Trames et microtrames .....	859
5.4	Types de transferts .....	860
5.4.1	Exemples de calcul de tableau .....	861
5.5	Transferts de contrôle .....	862
5.5.1	Format des données de transfert de contrôle .....	862
5.5.2	Direction du transfert de contrôle .....	862
5.5.3	Contraintes liées à la taille de paquet de transfert de contrôle .....	863
5.5.4	Contraintes liées à l'accès au bus de transfert de contrôle .....	864
5.5.5	Séquences de données de transfert de contrôle .....	867
5.6	Transferts isochrones .....	868
5.6.1	Format des données de transfert isochrone .....	868
5.6.2	Direction de transfert isochrone .....	868
5.6.3	Contraintes liées à la taille de paquet de transfert isochrone .....	868
5.6.4	Contraintes liées à l'accès au bus de transfert isochrone .....	870
5.6.5	Séquences de données de transfert isochrone .....	871
5.7	Transferts d'interruption .....	871
5.7.1	Format des données de transfert d'interruption .....	872
5.7.2	Direction de transfert d'interruption .....	872
5.7.3	Contraintes liées à la taille de paquet de transfert d'interruption .....	872
5.7.4	Contraintes liées à l'accès au bus de transfert d'interruption .....	873
5.7.5	Séquences de données de transfert d'interruption .....	876
5.8	Transferts en masse .....	876
5.8.1	Format des données des transferts en masse .....	876
5.8.2	Direction de transfert en masse .....	877
5.8.3	Contraintes liées à la taille de paquet de transfert en masse .....	877
5.8.4	Contraintes liées à l'accès au bus de transfert en masse .....	878
5.8.5	Séquences de données de transfert en masse .....	880
5.9	Points d'extrémité à grande vitesse et à large bande passante .....	880
5.9.1	Points d'extrémité d'interruption à large bande passante .....	881
5.9.2	Points d'extrémité isochrones à large bande passante .....	881
5.10	Transactions fractionnées .....	883
5.11	Accès au bus pour les transferts .....	884
5.11.1	Gestion du transfert .....	884
5.11.2	Suivi des transactions .....	888
5.11.3	Calcul des temps de transaction de bus .....	890
5.11.4	Calcul des tailles de mémoire tampon dans les fonctions et le logiciel .....	892
5.11.5	Réclamation de bande passante de bus .....	892
5.12	Considérations spéciales pour les transferts isochrones .....	892
5.12.1	Exemple d'application isochrone non USB .....	894
5.12.2	Modèle d'horloge USB .....	897
5.12.3	Synchronisation d'horloge .....	899
5.12.4	Dispositifs isochrones .....	900
5.12.5	Mise en mémoire tampon préalable des données .....	909

5.12.6	Suivi SOF .....	910
5.12.7	Gestion des erreurs .....	911
5.12.8	Mise en mémoire tampon pour la mise en correspondance du débit .....	912
6	Chapitre 6 Spécifications mécaniques .....	914
6.1	Vue d'ensemble de l'architecture .....	914
6.2	Protocole de connecteur codé.....	914
6.3	Câble.....	916
6.4	Ensemble câble-connecteur.....	916
6.4.1	Ensembles câbles-connecteurs détachables normalisés.....	916
6.4.2	Ensembles câbles-connecteurs captifs à grande vitesse/pleine vitesse .....	919
6.4.3	Ensembles câbles-connecteurs captifs à basse vitesse .....	922
6.4.4	Ensembles câbles-connecteurs interdits .....	925
6.5	Exigences relatives à la configuration mécanique et aux matériaux du connecteur.....	926
6.5.1	Emplacement de l'icône USB.....	926
6.5.2	Données de terminaison de connecteur USB .....	928
6.5.3	Embases séries "A" et "B" .....	928
6.5.4	Fiches des séries "A" et "B" .....	933
6.6	Exigences relatives à la configuration mécanique et aux matériaux du câble .....	938
6.6.1	Description .....	939
6.6.2	Construction .....	939
6.6.3	Caractéristiques électriques .....	942
6.6.4	Caractéristiques environnementales des câbles .....	942
6.6.5	Référencement.....	943
6.7	Normes de conformité électrique, mécanique et environnementale .....	943
6.7.1	Documents applicables.....	948
6.8	Mise à la masse USB.....	948
6.9	Schémas de référence de cartes à circuit imprimé .....	948
7	Chapitre 7 Spécifications électriques .....	955
7.1	Signalisation .....	955
7.1.1	Caractéristiques du pilote USB .....	959
7.1.2	Montée et chute du signal de données, diagrammes de l'œil .....	966
7.1.3	Dérivation de câble.....	983
7.1.4	Caractéristiques des récepteurs .....	983
7.1.5	Identification de la vitesse du dispositif.....	985
7.1.6	Caractéristiques d'entrée.....	987
7.1.7	Niveaux de signalisation.....	990
7.1.8	Codage/décodage des données.....	1006
7.1.9	Insertion de bits.....	1007
7.1.10	Modèle de synchronisation .....	1010
7.1.11	Débit de signalisation des données.....	1010
7.1.12	Intervalle de trame.....	1011
7.1.13	Signalisation de la source de données.....	1011
7.1.14	Temporisations de signalisation d'un concentrateur .....	1014
7.1.15	Gigue des données du récepteur .....	1017
7.1.16	Délai du câble .....	1019
7.1.17	Affaiblissement du câble.....	1021
7.1.18	Temps de retournement du bus et délai interpaquets.....	1022
7.1.19	Délai maximal du signal de bout en bout.....	1023

7.1.20	Prise en charge des modes d'essai.....	1024
7.2	Distribution de l'alimentation .....	1026
7.2.1	Classes de dispositifs .....	1026
7.2.2	Budget de chute de tension .....	1032
7.2.3	Contrôle de la puissance au cours d'une suspension/reprise .....	1033
7.2.4	Connexion et déconnexion dynamiques .....	1034
7.3	Couche physique .....	1036
7.3.1	Exigences réglementaires.....	1036
7.3.2	Caractéristiques temporelles/électriques du bus .....	1036
7.3.3	Formes d'ondes de temporisation .....	1046
8	Chapitre 8 Couche de protocole .....	1052
8.1	Ordonnancement des octets/bits .....	1052
8.2	Champ SYNC .....	1052
8.3	Formats des champs de paquets .....	1052
8.3.1	Champ de l'identificateur de paquets .....	1052
8.3.2	Champs d'adresse .....	1054
8.3.3	Champ du nombre de trames.....	1055
8.3.4	Champs de données .....	1055
8.3.5	Contrôles de redondance cyclique .....	1055
8.4	Formats de paquets .....	1056
8.4.1	Paquets de jetons.....	1056
8.4.2	Paquets de jetons spéciaux de transaction fractionnée.....	1057
8.4.3	Paquets de début de trame.....	1063
8.4.4	Paquets de données .....	1064
8.4.5	Paquets poignée de main .....	1065
8.4.6	Réponses de poignée de main.....	1067
8.5	Séquences des paquets de transactions .....	1068
8.5.1	Limitation de NAK par un contrôle de débit Ping .....	1078
8.5.2	Transactions en masse.....	1082
8.5.3	Transferts de contrôle.....	1088
8.5.4	Transactions d'interruption .....	1092
8.5.5	Transactions isochrones .....	1093
8.6	Synchronisation de bascule des données et nouvelle tentative .....	1097
8.6.1	Initialisation par jeton SETUP .....	1098
8.6.2	Transactions de données réussies.....	1098
8.6.3	Données corrompues ou non acceptées .....	1099
8.6.4	Poignée de main ACK corrompue .....	1100
8.6.5	Transactions à basse vitesse.....	1101
8.7	Détection et récupération des erreurs .....	1102
8.7.1	Catégories de taux d'erreurs de paquets.....	1103
8.7.2	Temporisation de retournement du bus.....	1103
8.7.3	Fausse EOP .....	1104
8.7.4	Récupération faisant suite à un babillage et à une perte d'activité .....	1105
9	Chapitre 9 Cadre de dispositif USB .....	1106
9.1	Etats des dispositifs USB .....	1106
9.1.1	Etats des dispositifs visibles .....	1106
9.1.2	Enumération de bus.....	1111
9.2	Opérations génériques de dispositifs USB .....	1112
9.2.1	Connexion et déconnexion dynamiques .....	1112

9.2.2	Affectation d'adresses .....	1112
9.2.3	Configuration .....	1112
9.2.4	Transfert de données .....	1113
9.2.5	Gestion de l'alimentation .....	1113
9.2.6	Traitement des demandes .....	1114
9.2.7	Erreur de demande .....	1116
9.3	Demands de dispositifs USB .....	1116
9.3.1	bmRequestType .....	1117
9.3.2	bRequest .....	1117
9.3.3	wValue .....	1117
9.3.4	wIndex .....	1118
9.3.5	wLength .....	1118
9.4	Demands de dispositif normalisées .....	1118
9.4.1	ClearFeature .....	1120
9.4.2	GetConfiguration .....	1121
9.4.3	Get Descriptor .....	1121
9.4.4	Get Interface .....	1122
9.4.5	Get Status .....	1123
9.4.6	Set Address .....	1124
9.4.7	SetConfiguration .....	1125
9.4.8	Descripteur défini .....	1126
9.4.9	Fonctionnalité définie .....	1126
9.4.10	Interface définie .....	1128
9.4.11	Synchronisation de trame .....	1128
9.5	Descripteurs .....	1129
9.6	Définitions de descripteur USB normalisé .....	1129
9.6.1	Dispositif .....	1130
9.6.2	Device_Qualifier .....	1132
9.6.3	Configuration .....	1132
9.6.4	Other_Speed_Configuration .....	1134
9.6.5	Interface .....	1135
9.6.6	Point d'extrémité .....	1137
9.6.7	Chaîne .....	1140
9.7	Définitions de classe de dispositif .....	1141
9.7.1	Descripteurs .....	1141
9.7.2	Interface(s) et utilisation des points d'extrémité .....	1141
9.7.3	Demands .....	1141
10	Chapitre 10 Hôte USB: Matériel et logiciel .....	1142
10.1	Vue d'ensemble de l'hôte USB .....	1142
10.1.1	Vue d'ensemble .....	1142
10.1.2	Mécanismes de contrôle .....	1147
10.1.3	Flux de données .....	1147
10.1.4	Collecte des statistiques de statut et d'activité .....	1148
10.1.5	Considérations vis-à-vis de l'interface électrique .....	1148
10.2	Exigences vis-à-vis du contrôleur hôte .....	1148
10.2.1	Traitement des états .....	1149
10.2.2	Sérialiseur/désérialiseur .....	1149
10.2.3	Génération de trames et de microtrames .....	1149
10.2.4	Traitement des données .....	1151

10.2.5	Moteur de protocole.....	1151
10.2.6	Traitement des erreurs de transmission.....	1151
10.2.7	Réveil à distance.....	1151
10.2.8	Concentrateur racine.....	1152
10.2.9	Interface du système hôte.....	1152
10.3	Vue d'ensemble des mécanismes logiciels.....	1152
10.3.1	Configuration des dispositifs.....	1152
10.3.2	Gestion des ressources.....	1155
10.3.3	Transferts de données.....	1155
10.3.4	Définitions de données communes.....	1156
10.4	Pilote de contrôleur hôte.....	1157
10.5	Pilote de bus universel en série.....	1157
10.5.1	Vue d'ensemble de l'USBD.....	1157
10.5.2	Exigences vis-à-vis des mécanismes de commande USBD.....	1160
10.5.3	Mécanismes du canal USBD.....	1162
10.5.4	Gestion de l'USB via les mécanismes USBD.....	1164
10.5.5	Transfert d'un contrôle de préamorçage USB au système d'exploitation....	1167
10.6	Guides d'environnement du système d'exploitation.....	1167
11	Chapitre 11 Spécification relative au concentrateur.....	1168
11.1	Vue d'ensemble.....	1168
11.1.1	Architecture d'un concentrateur.....	1168
11.1.2	Connectivité du concentrateur.....	1170
11.2	Minuteur de trame/microtrame de concentrateur.....	1172
11.2.1	Plage de minuteurs de microtrame à grande vitesse.....	1172
11.2.2	Plage de minuteurs de trame à pleine vitesse.....	1172
11.2.3	Synchronisation du minuteur de trame/microtrame.....	1173
11.2.4	Gigue de microtrame relative à la gigue de trame.....	1176
11.2.5	Points de temporisation EOF1 et EOF2.....	1176
11.3	Comportement de l'hôte en fin de trame.....	1179
11.3.1	Dernier paquet hôte à pleine vitesse/basse vitesse.....	1180
11.3.2	Annulation de paquets à pleine vitesse/basse vitesse.....	1180
11.3.3	Prédiction d'exécution de transaction à pleine vitesse/basse vitesse.....	1180
11.4	Port interne.....	1181
11.4.1	Inactive.....	1182
11.4.2	Retard Suspension.....	1182
11.4.3	Full Suspend (Fsus).....	1182
11.4.4	Generate Resume (GResume).....	1183
11.5	Ports orientés en aval.....	1183
11.5.1	Descriptions d'état du port orienté en aval.....	1186
11.5.2	Minuteur de détection de déconnexion.....	1191
11.5.3	Indicateur de port.....	1191
11.6	Port orienté en amont.....	1193
11.6.1	Pleine vitesse.....	1193
11.6.2	Grande vitesse.....	1194
11.6.3	Récepteur.....	1194
11.6.4	Emetteur.....	1197
11.7	Répéteur de concentrateur.....	1199
11.7.1	Connectivité de paquet à grande vitesse.....	1200
11.7.2	Diagramme d'états du répéteur de concentrateur.....	1202

11.7.3	Attente de début de paquet du port en amont (WFSOPFU).....	1204
11.7.4	Attente de fin de paquet du port en amont (WFEOPFU).....	1204
11.7.5	Attente de début de paquet (WFSOP).....	1205
11.7.6	Attente de fin de paquet (WFEOP).....	1205
11.8	Evaluation de l'état des bus .....	1205
11.8.1	Erreur de port.....	1205
11.8.2	Détection de vitesse .....	1205
11.8.3	Collision .....	1206
11.8.4	Comportement des ports à basse vitesse .....	1207
11.9	Suspend et Resume.....	1208
11.10	Comportement de réinitialisation du concentrateur.....	1213
11.11	Contrôle d'alimentation de port de concentrateur .....	1213
11.11.1	Associations multiples .....	1214
11.12	Contrôleur de concentrateur.....	1215
11.12.1	Organisation des points d'extrémité .....	1215
11.12.2	Architecture et utilisation des informations sur le concentrateur.....	1215
11.12.3	Traitement d'informations de modification de port.....	1216
11.12.4	Table de bits de modification du statut de concentrateur et de port.....	1218
11.12.5	Reporting et rétablissement de surintensité .....	1220
11.12.6	Traitement des énumérations .....	1221
11.13	Configuration de concentrateur .....	1221
11.14	Traducteur de transactions .....	1223
11.14.1	Vue d'ensemble .....	1223
11.14.2	Programmation du traducteur de transactions.....	1226
11.15	Informations sur la notation des transactions fractionnées .....	1229
11.16	Diagrammes d'états communs aux transactions fractionnées.....	1233
11.16.1	Diagramme d'états du contrôleur hôte .....	1235
11.16.2	Diagramme d'états du traducteur de transactions .....	1239
11.17	Vue d'ensemble de la traduction de transactions en masse/de contrôle .....	1246
11.17.1	Séquences de transactions fractionnées de contrôle/en masse .....	1246
11.17.2	Diagrammes d'états de transactions fractionnées en masse/de contrôle ....	1255
11.17.3	Mise en séquence en masse/de contrôle .....	1261
11.17.4	Exigences vis-à-vis de la mise en mémoire tampon en masse/de contrôle .....	1261
11.17.5	Autres informations en masse/de contrôle .....	1262
11.18	Canal de transaction fractionnée périodique et gestion de mémoire tampon ....	1262
11.18.1	Meilleur budget à pleine vitesse.....	1262
11.18.2	Pipeline de microtrame TT.....	1263
11.18.3	Génération de trames à pleine vitesse.....	1264
11.18.4	Exigences vis-à-vis de la programmation de transactions programmées de l'hôte .....	1265
11.18.5	Génération de réponse TT .....	1270
11.18.6	Exigences vis-à-vis du traitement des transactions périodiques TT.....	1271
11.18.7	Suivi des transactions TT .....	1272
11.18.8	Recherche d'état de transaction fractionnée de fin TT .....	1274
11.19	Espace mémoire tampon TT approximatif exigé .....	1275
11.20	Vue d'ensemble de la traduction de transactions d'interruption .....	1276
11.20.1	Séquences de transactions fractionnées d'interruption .....	1276
11.20.2	Diagrammes d'états des transactions fractionnées d'interruption .....	1281



11.20.3	Mise en séquence OUT d'interruption .....	1288
11.20.4	Mise en séquence IN d'interruption .....	1290
11.21	Vue d'ensemble de la traduction de transactions isochrones .....	1291
11.21.1	Séquences de transactions fractionnées isochrones .....	1292
11.21.2	Diagrammes d'états de transaction fractionnée isochrone .....	1296
11.21.3	Mise en séquence OUT isochrone .....	1300
11.21.4	Mise en séquence IN isochrone .....	1302
11.22	Traitement des erreurs TT .....	1303
11.22.1	Perte de synchronisation TT avec SOF HS .....	1303
11.22.2	Exigences vis-à-vis de la synchronisation du minuteur de trame et de microtrame TT .....	1304
11.23	Descripteurs .....	1306
11.23.1	Descripteurs normalisés pour la classe de concentrateur .....	1307
11.23.2	Descripteurs spécifiques à la classe .....	1315
11.24	Demands .....	1316
11.24.1	Demands normalisées .....	1316
11.24.2	Demands spécifiques à la classe .....	1317
Annexe A	Exemples de transactions .....	1337
A.1	Exemples de transactions OUT en masse/de contrôle et SETUP .....	1337
A.2	Exemples de transactions IN en masse/de contrôle .....	1369
A.3	Exemples de transactions OUT d'interruption .....	1400
A.4	Exemples de transactions IN d'interruption .....	1434
A.5	Exemples de transactions fractionnées OUT isochrones .....	1475
A.6	Exemples de transactions fractionnées IN isochrones .....	1491
Annexe B	Exemples de déclarations pour diagrammes d'états .....	1518
B.1	Déclarations globales .....	1519
B.2	Déclarations spécifiques au contrôleur hôte .....	1522
B.3	Déclarations spécifiques au traducteur de transactions .....	1524
Annexe C	Diagrammes d'états de protocole de réinitialisation .....	1528
C.1	Diagramme d'états du port orienté en aval .....	1528
C.2	Diagramme d'états du port orienté en amont .....	1530
C.2.1	Réinitialisation depuis l'état Suspended .....	1531
C.2.2	Réinitialisation depuis un état non suspendu à pleine vitesse .....	1535
C.2.3	Réinitialisation depuis un état non suspendu à grande vitesse .....	1535
C.2.4	Poignée de main de réinitialisation .....	1536
Figure 3-1	– Taxinomie de l'espace d'application .....	830
Figure 4-1	– Topologie en bus .....	834
Figure 4-2	– Câble USB .....	835
Figure 4-3	– Concentrateur typique .....	842
Figure 4-4	– Concentrateurs dans un environnement d'ordinateur de bureau .....	843
Figure 5-1	– Vue simplifiée hôte/dispositif USB .....	845
Figure 5-2	– Zones d'application USB .....	846
Figure 5-3	– Composition de l'hôte .....	848
Figure 5-4	– Composition du dispositif physique .....	849
Figure 5-5	– Topologie de bus physique USB .....	850
Figure 5-6	– Plusieurs bus à pleine vitesse dans un système à grande vitesse .....	851

Figure 5-7 – Topologie de bus logique USB .....	852
Figure 5-8 – Relations logiciel client-fonction .....	853
Figure 5-9 – Vue complète de l'hôte/du dispositif USB .....	855
Figure 5-10 – Flux de communication USB .....	855
Figure 5-11 – Séquence des PID de la phase de données des points d'extrémité IN isochrones à large bande passante .....	882
Figure 5-12 – Séquence des PID de la phase de données des points d'extrémité OUT isochrones à large bande passante .....	883
Figure 5-13 – Conversion des informations USB allant du client logiciel au bus .....	885
Figure 5-14 – Transferts des flux de communication .....	889
Figure 5-15 – Configuration des IRP par rapport aux transactions/(micro)trames .....	890
Figure 5-16 – Exemple isochrone non USB .....	896
Figure 5-17 – Application USB isochrone et à pleine vitesse .....	899
Figure 5-18 – Exemple de connectivité source/destinataire .....	907
Figure 5-19 – Mise en mémoire tampon préalable des données .....	910
Figure 5-20 – Formules de taille de paquet et de mémoire tampon pour les transferts isochrones dont le débit est mis en correspondance .....	913
Figure 6-1 – Protocole de connecteur codé .....	915
Figure 6-2 – Ensemble câble-connecteur USB détachable normalisé .....	918
Figure 6-3 – Ensemble câble-connecteur USB fixe à grande vitesse/pleine vitesse .....	921
Figure 6-4 – Ensemble câble-connecteur USB fixe à basse vitesse .....	924
Figure 6-5 – Icône USB .....	926
Figure 6-6 – Orientation typique d'une fiche USB .....	927
Figure 6-7 – Schéma d'interface et d'accouplement d'une embase USB série "A" .....	930
Figure 6-8 – Schéma d'interface et d'accouplement d'une embase USB série "B" .....	932
Figure 6-9 – Schéma d'interface d'une fiche USB série "A" .....	935
Figure 6-10 – Schéma d'interface d'une fiche USB série "B" .....	937
Figure 6-11 – Construction typique d'un câble à grande vitesse/pleine vitesse .....	939
Figure 6-12 – Embase série "A" de type à broche unique .....	950
Figure 6-13 – Embase série "A" de type à double broche .....	952
Figure 6-14 – Embase série "B" de type à broche unique .....	954
Figure 7-1 – Exemple de circuit d'émetteur-récepteur capable de fonctionner à grande vitesse .....	956
Figure 7-2 – Formes d'ondes d'entrée maximales pour la signalisation USB .....	960
Figure 7-3 – Exemple de circuit de pilote CMOS à pleine vitesse (incapable de fonctionner à grande vitesse) .....	961
Figure 7-4 – Caractéristiques V/I de mémoire tampon à pleine vitesse .....	962
Figure 7-5 – Caractéristiques V/I de mémoire tampon à pleine vitesse d'un émetteur-récepteur à grande vitesse .....	963
Figure 7-6 – Formes d'ondes des signaux à pleine vitesse .....	964
Figure 7-7 – Formes d'ondes des signaux de pilote à basse vitesse .....	965
Figure 7-8 – Temps de montée et de chute du signal de données .....	967
Figure 7-9 – Charge à pleine vitesse .....	968
Figure 7-10 – Charges du port à basse vitesse .....	968
Figure 7-11 – Plans de mesure .....	969

Figure 7-12 – Montage d'essai de l'émetteur/récepteur .....	970
Figure 7-13 – Modèle 1 .....	972
Figure 7-14 – Modèle 2 .....	974
Figure 7-15 – Modèle 3 .....	976
Figure 7-16 – Modèle 4 .....	978
Figure 7-17 – Modèle 5 .....	980
Figure 7-18 – Modèle 6 .....	982
Figure 7-19 – Plage de sensibilités pour les entrées différentielles à basse vitesse/pleine vitesse .....	984
Figure 7-20 – Connexions du câble du dispositif à pleine vitesse et de la résistance .....	986
Figure 7-21 – Connexions du câble du dispositif à basse vitesse et de la résistance .....	986
Figure 7-22 – Placement de condensateurs de contrôle de débit du bord facultatifs pour la basse vitesse/pleine vitesse .....	988
Figure 7-23 – Diagramme pour le circuit de chargement équivalent à grande vitesse .....	988
Figure 7-24 – Emetteur-récepteur de port orienté en amont à pleine vitesse .....	992
Figure 7-25 – Emetteur-récepteur de port orienté en aval à basse vitesse/pleine vitesse .....	993
Figure 7-26 – Détection de déconnexion à basse vitesse/pleine vitesse .....	996
Figure 7-27 – Détection de connexion de dispositif à grande vitesse/pleine vitesse .....	996
Figure 7-28 – Détection de connexion de dispositif à basse vitesse .....	997
Figure 7-29 – Temporisation des événements de mise sous tension et de connexion .....	997
Figure 7-30 – Niveaux de tension des paquets à basse vitesse/pleine vitesse .....	1000
Figure 7-31 – Encodage de données NRZI .....	1006
Figure 7-32 – Insertion de bits .....	1007
Figure 7-33 – Représentation du bit supplémentaire précédant l'EOP (pleine vitesse/basse vitesse) .....	1008
Figure 7-34 – Schéma relatif à l'insertion de bits .....	1009
Figure 7-35 – Modèle de synchronisation (basse vitesse/pleine vitesse) .....	1010
Figure 7-36 – Taxinomie de gigue de données .....	1012
Figure 7-37 – SE0 pour la temporisation des largeurs d'EOP .....	1013
Figure 7-38 – Temps de propagation du concentrateur de signaux différentiels à pleine vitesse .....	1015
Figure 7-39 – Délai du câble à pleine vitesse .....	1020
Figure 7-40 – Délai du câble à basse vitesse .....	1020
Figure 7-41 – Modèle de délai de signal de bout en bout le plus défavorable pour basse vitesse ou pleine vitesse .....	1023
Figure 7-42 – Concentrateur composé alimenté par bus .....	1028
Figure 7-43 – Concentrateur composé autoalimenté .....	1029
Figure 7-44 – Fonction basse puissance alimentée par bus .....	1030
Figure 7-45 – Fonction grande puissance alimentée par bus .....	1031
Figure 7-46 – Fonction autoalimentée .....	1032
Figure 7-47 – Topologie de chute de tension la plus défavorable (régime établi) .....	1033
Figure 7-48 – Profil de moyennage du courant de veille type .....	1034
Figure 7-49 – Gigue de données différentielles à basse vitesse/pleine vitesse .....	1046

Figure 7-50 – Dérivation de transition données différentielles-EOP et largeur EOP pour basse vitesse/pleine vitesse .....	1046
Figure 7-51 – Tolérance de gigue du récepteur à basse vitesse/pleine vitesse .....	1047
Figure 7-52 – Délai différentiel du concentrateur, gigue différentielle et distorsion SOP pour la basse vitesse/pleine vitesse .....	1049
Figure 7-53 – Délai EOP du concentrateur et dérivation EOP pour basse vitesse/pleine vitesse .....	1051
Figure 8-1 – Format PID .....	1053
Figure 8-2 – Champ ADDR .....	1054
Figure 8-3 – Champ de point d'extrémité.....	1055
Figure 8-4 – Format du champ de données .....	1055
Figure 8-5 – Format du jeton.....	1057
Figure 8-6 – Paquets dans une transaction fractionnée de début .....	1058
Figure 8-7 – Paquets dans une transaction fractionnée de fin .....	1058
Figure 8-8 – Relation entre la transaction IN d'interruption et la transaction fractionnée à grande vitesse .....	1059
Figure 8-9 – Relation entre la transaction OUT d'interruption et la transaction OUT divisée à grande vitesse .....	1060
Figure 8-10 – Jeton de transaction divisée de début (SSPLIT) .....	1061
Figure 8-11 – Champ de port .....	1061
Figure 8-12 – Jeton de transaction divisée de fin (CSPLIT).....	1063
Figure 8-13 – Paquet de SOF .....	1063
Figure 8-14 – Relation entre les trames et les microtrames.....	1064
Figure 8-15 – Format du paquet de données.....	1065
Figure 8-16 – Paquet de poignée de main.....	1065
Figure 8-17 – Légende des diagrammes d'états .....	1069
Figure 8-18 – Présentation du contexte du diagramme d'états .....	1070
Figure 8-19 – Vue d'ensemble de la hiérarchie des diagrammes d'états pour une transaction de niveau supérieur du contrôleur hôte .....	1071
Figure 8-20 – Vue d'ensemble de la hiérarchie des diagrammes d'états pour une transaction non fractionnée du contrôleur hôte .....	1072
Figure 8-21 – Vue d'ensemble de la hiérarchie des diagrammes d'états pour une transaction du dispositif .....	1072
Figure 8-22 – Diagramme d'états de niveau supérieur du dispositif.....	1073
Figure 8-23 – Diagramme d'états Device_process_Trans.....	1074
Figure 8-24 – Diagramme d'états Dev_do_OUT .....	1075
Figure 8-25 – Diagramme d'états Dev_do_IN.....	1076
Figure 8-26 – Diagramme d'états HC_Do_nonsplit.....	1077
Figure 8-27 – Diagramme d'états PING de l'hôte pour les transferts OUT en masse/transferts de contrôle à grande vitesse .....	1079
Figure 8-28 – Diagramme d'états Dev_HS_ping.....	1080
Figure 8-29 – Diagramme d'états de contrôle/de contrôle OUT en masse à grande vitesse de dispositif .....	1081
Figure 8-30 – Format des transactions en masse.....	1082
Figure 8-31 – Diagrammes d'états de l'hôte pour les transactions OUT en masse/de contrôle/d'interruption .....	1084

Figure 8-32 – Diagrammes d'états du dispositif pour les transactions OUT en masse/de contrôle/d'interruption .....	1085
Figure 8-33 – Diagrammes d'états de l'hôte pour les transactions IN en masse/de contrôle/d'interruption .....	1086
Figure 8-34 – Diagrammes d'états du dispositif pour les transactions IN en masse/de contrôle/d'interruption .....	1087
Figure 8-35 – Lecture et écriture en masse .....	1087
Figure 8-36 – Transaction SETUP de contrôle .....	1088
Figure 8-37 – Séquences de lecture et d'écriture de contrôle .....	1089
Figure 8-38 – Format des transactions d'interruption .....	1092
Figure 8-39 – Format des transactions isochrones .....	1093
Figure 8-40 – Diagrammes d'états de l'hôte pour les transactions OUT isochrones .....	1094
Figure 8-41 – Diagrammes d'états du dispositif pour les transactions OUT isochrones .....	1095
Figure 8-42 – Diagrammes d'états de l'hôte pour les transactions IN isochrones .....	1096
Figure 8-43 – Diagrammes d'états du dispositif pour les transactions IN isochrones .....	1097
Figure 8-44 – Initialisation de SETUP .....	1098
Figure 8-45 – Transactions consécutives .....	1099
Figure 8-46 – Transaction soumise à la réception d'un NAK avec nouvelle tentative .....	1099
Figure 8-47 – Poignée de main ACK corrompue avec nouvelle tentative .....	1100
Figure 8-48 – Transaction à basse vitesse .....	1101
Figure 8-49 – Utilisation du temps de retournement du bus .....	1104
Figure 9-1 – Diagramme d'états du dispositif .....	1108
Figure 9-2 – Format <i>wIndex</i> lors de la spécification d'un point d'extrémité .....	1118
Figure 9-3 – Format <i>wIndex</i> lors de la spécification d'une interface .....	1118
Figure 9-4 – Informations renvoyées à un dispositif par une demande <code>GetStatus()</code> .....	1123
Figure 9-5 – Informations renvoyées à une interface par une demande <code>GetStatus()</code> .....	1124
Figure 9-6 – Informations renvoyées à un point d'extrémité par une demande <code>GetStatus()</code> .....	1124
Figure 9-7 – Exemple de numéros de point d'extrémité de rétroaction .....	1139
Figure 9-8 – Exemple de relations entre points d'extrémité de rétroaction .....	1139
Figure 10-1 – Modèle de communications intercouches .....	1142
Figure 10-2 – Communications avec l'hôte .....	1145
Figure 10-3 – Création de trames et de microtrames .....	1150
Figure 10-4 – Interactions des configurations .....	1153
Figure 10-5 – Structure du pilote de bus universel en série .....	1158
Figure 11-1 – Architecture d'un concentrateur .....	1169
Figure 11-2 – Connectivité de la signalisation d'un concentrateur .....	1170
Figure 11-3 – Connectivité de reprise .....	1171
Figure 11-4 – Exemple de décalages EOF à grande vitesse en raison du temps de propagation sans avancement EOF .....	1175
Figure 11-5 – Exemple de décalages EOF à grande vitesse en raison du temps de propagation avec avancement EOF .....	1175
Figure 11-6 – Point de temporisation EOF2 à grande vitesse .....	1177
Figure 11-7 – Point de temporisation EOF1 à grande vitesse .....	1177
Figure 11-8 – Points de temporisation EOF à pleine vitesse .....	1178

Figure 11-9 – Diagramme d'états du port interne .....	1182
Figure 11-10 – Diagramme d'états du port du concentrateur orienté en aval .....	1185
Figure 11-11 – Diagramme d'états de l'indicateur de port.....	1192
Figure 11-12 – Diagramme d'états du récepteur du port orienté en amont.....	1195
Figure 11-13 – Diagramme d'états de l'émetteur du port orienté en amont .....	1198
Figure 11-14 – Exemple d'organisation du répéteur de concentrateur .....	1200
Figure 11-15 – Diagramme d'états du sélecteur de port à grande vitesse.....	1201
Figure 11-16 – Diagramme d'états du répéteur de concentrateur .....	1203
Figure 11-17 – Exemple de signalisation de reprise de réveil à distance avec dispositif à pleine vitesse/basse vitesse.....	1210
Figure 11-18 – Exemple de signalisation de reprise de réveil à distance avec dispositif à grande vitesse .....	1212
Figure 11-19 – Exemple d'organisation du contrôleur de concentrateur.....	1215
Figure 11-20 – Relations entre Statut, Modification de statut et Informations de contrôle et les états de dispositif.....	1216
Figure 11-21 – Méthode de traitement de statut de port .....	1218
Figure 11-22 – Table de bits de modification de statut du concentrateur et du port .....	1219
Figure 11-23 – Exemple d'échantillonnage de bit de modification de concentrateur et de port.....	1220
Figure 11-24 – Présentation du traducteur de transactions .....	1223
Figure 11-25 – Sections de mémoire tampon périodique et non périodique du TT .....	1224
Figure 11-26 – Pipeline de microtrame TT pour transactions fractionnées périodiques .....	1226
Figure 11-27 – Mise en mémoire tampon non périodique du TT .....	1228
Figure 11-28 – Exemple de programmation du gestionnaire à pleine vitesse/basse vitesse pour des transactions fractionnées de début.....	1228
Figure 11-29 – Légende de la séquence de flux .....	1229
Figure 11-30 – Légende des diagrammes d'états .....	1231
Figure 11-31 – Présentation du contexte du diagramme d'états .....	1233
Figure 11-32 – Présentation de la hiérarchie du diagramme d'états de transaction fractionnée du contrôleur hôte .....	1234
Figure 11-33 – Présentation de la hiérarchie du diagramme d'états du traducteur de transactions.....	1234
Figure 11-34 – Contrôleur hôte .....	1235
Figure 11-35 – HC_Process_Command .....	1236
Figure 11-36 – HC_Do_Start.....	1237
Figure 11-37 – HC_Do_Complete .....	1238
Figure 11-38 – Traducteur de transactions.....	1239
Figure 11-39 – TT_Process_Packet .....	1240
Figure 11-40 – TT_Do_Start .....	1241
Figure 11-41 – TT_Do_Complete .....	1242
Figure 11-42 – TT_BulkSS.....	1243
Figure 11-43 – TT_BulkCS.....	1244
Figure 11-44 – TT_IntSS.....	1244
Figure 11-45 – TT_IntCS .....	1245
Figure 11-46 – TT_IsochSS .....	1245

Figure 11-47 – Exemple d'algorithme pour Compare_buffs .....	1247
Figure 11-48 – Séquence d'une transaction de début fractionnée OUT en masse/de contrôle .....	1248
Figure 11-49 – Séquence d'une transaction fractionnée de fin OUT en masse/de contrôle .....	1250
Figure 11-50 – Séquence d'une transaction fractionnée de début IN en masse/de contrôle .....	1251
Figure 11-51 – Séquence d'une transaction fractionnée de fin IN en masse/de contrôle....	1254
Figure 11-52 – Diagramme d'états de l'hôte de transaction fractionnée de début OUT en masse/de contrôle.....	1255
Figure 11-53 – Diagramme d'états de l'hôte de transaction fractionnée de fin OUT en masse/de contrôle .....	1256
Figure 11-54 – Diagramme d'états du TT de transaction fractionnée de début OUT en masse/de contrôle .....	1257
Figure 11-55 – Diagramme d'états du TT de transaction fractionnée de fin OUT en masse/de contrôle .....	1257
Figure 11-56 – Diagramme d'états de l'hôte de transaction fractionnée de début IN en masse/de contrôle .....	1258
Figure 11-57 – Diagramme d'états de l'hôte de transaction fractionnée de fin IN en masse/de contrôle .....	1259
Figure 11-58 – Diagramme d'états du TT de transaction fractionnée de début IN en masse/de contrôle .....	1260
Figure 11-59 – Diagramme d'états du TT de transaction fractionnée de fin IN en masse/de contrôle .....	1260
Figure 11-60 – Meilleur temps de câblage à pleine vitesse budgété sans insertion de bits	1263
Figure 11-61 – Programmation de pipeline de microtrame TT .....	1264
Figure 11-62 – Exemple de OUT isochrone qui évite une fin de fractionnement de début avec des données égales à zéro .....	1266
Figure 11-63 – Exemple de programmation de pipeline TT Fin de trame .....	1267
Figure 11-64 – Exemple de programme fractionnement complet IN isochrone avec $L=Y_6$ .....	1268
Figure 11-65 – Exemple de programme fractionnement complet IN isochrone avec $L=Y_7$ .....	1269
Figure 11-66 – Pipeline de microtrame.....	1273
Figure 11-67 – Pseudocode Advance_Pipeline .....	1274
Figure 11-68 – Séquence de transaction fractionnée de début OUT d'interruption.....	1277
Figure 11-69 – Séquence de transaction fractionnée de fin OUT d'interruption .....	1278
Figure 11-70 – Séquence de transaction fractionnée de début IN d'interruption .....	1279
Figure 11-71 – Séquence de transaction fractionnée de fin IN d'interruption .....	1280
Figure 11-72 – Diagramme d'états de l'hôte de transaction fractionnée de début OUT d'interruption.....	1281
Figure 11-73 – Diagramme d'états de l'hôte de transaction fractionnée de fin OUT d'interruption.....	1282
Figure 11-74 – Diagramme d'états du TT de transaction fractionnée de début OUT d'interruption.....	1283
Figure 11-75 – Diagramme d'états du TT de transaction fractionnée de fin OUT d'interruption.....	1284
Figure 11-76 – Diagramme d'états de l'hôte de transaction fractionnée de début IN d'interruption.....	1285

Figure 11-77 – Diagramme d'états de l'hôte de transaction fractionnée de fin IN d'interruption.....	1286
Figure 11-78 – Diagramme d'états HC_Data_or_Error .....	1287
Figure 11-79 – Diagramme d'états du TT de transaction fractionnée de début IN d'interruption.....	1287
Figure 11-80 – Diagramme d'états du TT de transaction fractionnée de fin IN d'interruption.....	1288
Figure 11-81 – Exemple de traitement CRC16 pour une transaction IN d'interruption.....	1289
Figure 11-82 – Exemple de traitement CRC16 pour une transaction IN d'interruption.....	1291
Figure 11-83 – Séquence de transaction fractionnée de début OUT isochrone.....	1293
Figure 11-84 – Séquence de transaction fractionnée de début IN isochrone .....	1293
Figure 11-85 – Séquence de transaction fractionnée de fin IN isochrone .....	1295
Figure 11-86 – Diagramme d'états d'hôte de transaction fractionnée de début OUT isochrone.....	1296
Figure 11-87 – Diagramme d'états de TT de transaction fractionnée de début OUT isochrone.....	1297
Figure 11-88 – Diagramme d'états d'hôte de transaction fractionnée de début IN isochrone.....	1298
Figure 11-89 – Diagramme d'états d'hôte de transaction fractionnée de fin IN isochrone.....	1299
Figure 11-90 – Diagramme d'états de TT de transaction fractionnée de début IN isochrone.....	1299
Figure 11-91 – Diagramme d'états de TT de transaction fractionnée de fin IN isochrone...	1300
Figure 11-92 – Exemple de traitement CRC16 pour un paquet de données OUT isochrone.....	1302
Figure 11-93 – Exemple de traitement CRC16 pour un paquet de données IN isochrone.....	1303
Figure 11-94 – Exemple d'événements de synchronisation de trame/microtrame .....	1306
Figure A-1 – Normal Pas de smash.....	1339
Figure A-2 – Smash HS DATA0/1 normal.....	1340
Figure A-3 – Smash 3 essais HS DATA0/1 normal.....	1341
Figure A-4 – Smash HS ACK(S) normal (cas 1) .....	1342
Figure A-5 – Smash HS ACK(S) normal (cas 2) .....	1343
Figure A-6 – Smash 3 essais HS ACK(S) normal .....	1344
Figure A-7 – Smash HS CSPLIT normal.....	1345
Figure A-8 – Smash 3 essais HS CSPLIT normal.....	1347
Figure A-9 – Smash HS ACK(C) normal.....	1348
Figure A-10 – Smash 3 essais S ACK(C) normal.....	1350
Figure A-11 – Smash FS/LS DATA0/1 normal.....	1351
Figure A-12 – Smash 3 essais FS/LS DATA0/1 normal .....	1353
Figure A-13 – Smash FS/LS ACK normal .....	1354
Figure A-14 – Smash 3 essais FS/LS ACK normal .....	1356
Figure A-15 – Aucune mémoire tampon disponible Pas de smash (HS NAK(S)).....	1357
Figure A-16 – Aucune mémoire tampon disponible Smash HS NAK(S) .....	1359
Figure A-17 – Aucune mémoire tampon disponible Smash 3 essais HS NAK(S).....	1360
Figure A-18 – CS plus tôt Pas de smash(HS NYET).....	1361



Figure A-19 – CS plus tôt Smash HS NYET (cas 1) .....	1362
Figure A-20 – CS plus tôt Smash HS NYET (cas 2) .....	1363
Figure A-21 – CS plus tôt Smash 3 essais HS NYET .....	1365
Figure A-22 – Dispositif occupé Pas de smash(FS/LS NAK) .....	1367
Figure A-23 – Dispositif arrêté Pas de smash(FS/LS STALL) .....	1368
Figure A-24 – Normal Pas de smash .....	1371
Figure A-25 – Smash HS SSPLIT normal .....	1372
Figure A-26 – Smash 3 essais SSPLIT normal .....	1373
Figure A-27 – Smash HS ACK(S) normal (cas 1) .....	1374
Figure A-28 – Smash HS ACK(S) normal (cas 2) .....	1375
Figure A-29 – Smash 3 essais HS ACK(S) normal .....	1376
Figure A-30 – Smash HS CSPLIT normal .....	1377
Figure A-31 – Smash 3 essais HS CSPLIT normal .....	1379
Figure A-32 – Smash HS DATA0/1 normal .....	1380
Figure A-33 – Smash 3 essais HS DATA0/1 normal .....	1382
Figure A-34 – Smash FS/LS IN normal .....	1383
Figure A-35 – Smash 3 essais FS/LS IN normal .....	1385
Figure A-36 – Smash FS/LS DATA0/1 normal .....	1386
Figure A-37 – Smash 3 essais FS/LS DATA0/1 normal .....	1388
Figure A-38 – Smash FS/LS ACK normal .....	1390
Figure A-39 – Aucune mémoire tampon disponible Pas de smash (HS NAK(S)) .....	1391
Figure A-40 – Aucune mémoire tampon disponible Smash HS NAK(S) .....	1393
Figure A-41 – Aucune mémoire tampon disponible Smash 3 essais HS NAK(S) .....	1394
Figure A-42 – CS plus tôt Pas de smash(HS NYET) .....	1395
Figure A-43 – CS plus tôt Smash HS NYET (cas 1) .....	1396
Figure A-44 – CS plus tôt Smash HS NYET (cas 2) .....	1397
Figure A-45 – Dispositif occupé Pas de smash(FS/LS NAK) .....	1399
Figure A-46 – Dispositif arrêté Pas de smash(FS/LS STALL) .....	1399
Figure A-47 – Normal Pas de smash (le paquet de poignée de main FS/LS est effectué par M+1) .....	1403
Figure A-48 – Smash HS DATA0/1 normal .....	1405
Figure A-49 – Smash HS CSPLIT normal .....	1407
Figure A-50 – Smash 3 essais HS CSPLIT normal .....	1409
Figure A-51 – Smash HS ACK(C) normal .....	1411
Figure A-52 – Smash 3 essais HS ACK(C) normal .....	1413
Figure A-53 – Smash FS/LS DATA0/1 normal .....	1415
Figure A-54 – Smash FS/LS ACK normal .....	1417
Figure A-55 – Recherche Pas de smash .....	1419
Figure A-56 – CS plus tôt Pas de smash (le paquet de poignée de main HS NYET et FS/LS est effectué par M+2) .....	1421
Figure A-57 – CS plus tôt Pas de smash (le paquet de poignée de main HS NYET et FS/LS est effectué par M+3) .....	1422
Figure A-58 – CS plus tôt Smash HS NYET .....	1424
Figure A-59 – CS plus tôt Smash 3 essais HS NYET .....	1426

Figure A-60 – Abandon et Libération Abandon (la transaction FS/LS est poursuivie à la fin de M+3) .....	1428
Figure A-61 – Abandon et Libération Abandon (la transaction FS/LS n'est pas démarrée à la fin de M+3) .....	1430
Figure A-62 – Dispositif occupé Pas de smash(FS/LS NAK) .....	1432
Figure A-63 – Dispositif arrêté Pas de smash(FS/LS STALL) .....	1433
Figure A-64 —Normal Pas de smash (le paquet de données FS/LS est sur M+1) .....	1437
Figure A-65 – Smash HS SSPLIT normal .....	1439
Figure A-66 – Smash HS CSPLIT normal .....	1441
Figure A-67 – Smash 3 essais HS CSPLIT normal .....	1443
Figure A-68 – Smash HS DATA0/1 normal .....	1445
Figure A-69 – Smash 3 essais HS DATA0/1 normal .....	1447
Figure A-70 – Smash FS/LS IN normal .....	1449
Figure A-71 – Smash FS/LS DATA0/1 normal .....	1451
Figure A-72 – Smash FS/LS ACK normal .....	1453
Figure A-73 – Recherche Pas de smash .....	1455
Figure A-74 – CS plus tôt Pas de smash (le paquet de données HS MDATA et FS/LS est sur M+1 et M+2) .....	1457
Figure A-75 – CS plus tôt Pas de smash (le paquet de données HS NYET et FS/LS est sur M+2) .....	1459
Figure A-76 – CS plus tôt Pas de smash (le paquet de données HS NYET et MDATA et FS/LS est sur M+2 et M+3) .....	1461
Figure A-77 – CS plus tôt Pas de smash (le paquet de données HS NYET et FS/LS est sur M+3) .....	1463
Figure A-78 – CS plus tôt Smash HS NYET .....	1465
Figure A-79 – CS plus tôt Smash 3 essais HS NYET .....	1467
Figure A-80 – Abandon et Libération Abandon (la transaction HS NYET et FS/LS est poursuivie à la fin de M+3) .....	1469
Figure A-81 – Abandon et Libération Abandon (la transaction HS NYET et FS/LS n'est pas poursuivie à la fin de M+3) .....	1471
Figure A-82 – Dispositif occupé Pas de smash(FS/LS NAK) .....	1473
Figure A-83 – Dispositif arrêté Pas de smash(FS/LS STALL) .....	1474
Figure C-1 – Diagramme d'états de protocole de réinitialisation du port orienté en aval ....	1530
Figure C-2 – Diagramme d'états de détection de réinitialisation du port orienté en amont .....	1533
Figure C-3 – Diagramme d'états de prise de contact de réinitialisation du port orienté en amont .....	1535
Figure 8-27 – Diagramme d'états PING de l'hôte pour les transferts OUT en masse/transferts de contrôle à grande vitesse .....	1625
Figure 8-31 – Diagrammes d'états de l'hôte pour les transactions OUT en masse FS, de contrôle FS/LS/ ou d'interruption HS/FS/LS .....	1626
Figure 8-32 – Diagrammes d'états de l'hôte pour les transactions OUT en masse FS, de contrôle #FS/LS ou d'interruption HS/FS/LS .....	1627
Figure 11-11 – Diagramme d'états de l'indicateur de port .....	1641
Figure 6-1 – Protocole de connecteur codé .....	1651
Figure 6-2 – Ensemble câble-connecteur détachable normalisé USB .....	1654
Figure 6-3 – Ensemble câble-connecteur détachable à mini-connecteur USB normalisé ...	1656

Figure 6-3 – Ensemble câble-connecteur USB fixe à grande vitesse/pleine vitesse.....	1659
Figure 6-46-5 – Ensemble câble-connecteur USB fixe à basse vitesse .....	1662
Figure 6-56-6 – Icône USB .....	1664
Figure 6-66-7 – Orientation typique de la fiche USB.....	1665
Figure 6-8 – Orientation typique de connecteur USB "mini-B" .....	1667
Figure 6-76-9 – Schéma d'interface et d'accouplement d'embase USB série "A" .....	1669
Figure 6-86-10 – Schéma d'interface et d'accouplement d'embase USB série "B" .....	1671
Figure 6-11 – Schéma d'interface et d'accouplement d'embase USB série "mini-B" .....	1673
Figure 6-12 – Schéma d'interface d'embase USB série "mini-B" (détail).....	1675
Figure 6-96-13 – Schéma d'interface de fiche USB série "A".....	1679
Figure 6-106-14 – Schéma d'interface de fiche USB série "B".....	1681
Figure 6-15 – Schéma d'interface de fiche USB série "B".....	1683
Figure 6-116-16 – Construction typique de câble à grande/pleine vitesse .....	1686
Figure 6-126-17 – Embase série "A" de type à broche unique.....	1700
Figure 6-136-18 – Embase série "A" de type à double broche.....	1702
Figure 6-146-19 – Embase série "B" de type à broche unique.....	1704
Figure 6-20 – Embase série "mini-B" de type à broche unique .....	1706
Figure 11-11 – Diagramme d'états de l'indicateur de port.....	1719
Figure 11-82 – Exemple de traitement CRC16 pour une transaction IN d'interruption.....	1723
Figure 11-93 – Exemple de traitement CRC16 pour un paquet de données IN isochrone.....	1723
Figure 6-15 – Schéma d'interface de fiche USB série "mini-B" (1 de 2).....	1735
Figure 6-15 – Schéma d'interface de fiche USB série "mini-B" (2 de 2).....	1737
Figure 1-1 – Diagramme de transition d'état LPM.....	1746
Figure 2-1 – Paquets dans une transaction de jeton d'extension .....	1749
Figure 2-2 – Jeton étendu LPM.....	1751
Figure 2-3 – Format de transaction LPM .....	1752
Figure 4-1 – Modèle de contrôle de port pour la transition d'un port vers L1.....	1755
Figure 4-2 – Transaction LPM et temporisation de transition vers L1 .....	1757
Figure 4-3 – Transition de L1 vers L0 initiée par dispositif (réveil à distance).....	1759
Figure 4-4 – Exemple de sortie de L1 de réveil à distance avec un dispositif à pleine vitesse sous un concentrateur connecté .....	1760
Figure 4-5 – Modèle de contrôle de port pour la transition d'un port depuis L1 .....	1763
Figure 4-6 – Transition de L1 vers L0 initiée par hôte (sortie de L1).....	1764
Figure 4-7 – Relations du diagramme d'états de ports de référence de concentrateur USB 2.0 avec les ajouts L1.....	1765
Figure 4-8 – Addendum au diagramme d'états du récepteur de port orienté en amont pour L1 .....	1766
Figure 4-9 – Addendum au diagramme d'états d'émetteur de port orienté en amont.....	1768
Figure 4-10 – Addendum au diagramme d'états du port interne.....	1770
Figure 4-11 – Addendum au diagramme d'états du port de concentrateur orienté en aval ..	1772
Figure 7-29 – Temporisation des événements de connexion .....	1797
Tableau 5-1 – Limites de transfert de contrôle à basse vitesse .....	865

Tableau 5-2 – Limites de transfert de contrôle à pleine vitesse .....	866
Tableau 5-3 – Limites de transfert de contrôle à grande vitesse .....	867
Tableau 5-4 – Limites des transactions isochrones à pleine vitesse .....	869
Tableau 5-5 – Limites des transactions isochrones à grande vitesse .....	870
Tableau 5-6 – Limites des transactions d'interruption à basse vitesse.....	874
Tableau 5-7 – Limites des transactions d'interruption à pleine vitesse .....	874
Tableau 5-8 – Limites des transactions d'interruption à grande vitesse .....	875
Tableau 5-9 – Limites des transactions en masse à pleine vitesse .....	879
Tableau 5-10 – Limites des transactions en masse à grande vitesse .....	879
Tableau 5-11 – Champ <i>wMaxPacketSize</i> du descripteur de point d'extrémité.....	880
Tableau 5-12 – Caractéristiques de synchronisation .....	901
Tableau 5-13 – Exigences de connexion .....	908
Tableau 6-1 – Affectation de terminaison des connecteurs USB .....	928
Tableau 6-2 – Paire d'alimentation.....	940
Tableau 6-3 – Paire de signal .....	940
Tableau 6-4 – Paire de signal d'un fil de continuité .....	941
Tableau 6-5 – Diamètre nominal de câble .....	942
Tableau 6-6 – Résistance des conducteurs.....	942
Tableau 6-7 – Normes de conformité électrique, mécanique et environnementale USB.....	943
Tableau 7-1 – Description des éléments fonctionnels représentés dans l'exemple de la Figure 7-1 .....	958
Tableau 7-2 – Niveaux de signalisation à basse vitesse/pleine vitesse .....	991
Tableau 7-3 – Niveaux de signalisation à pleine vitesse/grande vitesse .....	994
Tableau 7-3 – Niveaux de signalisation à pleine vitesse/grande vitesse ( <i>suite</i> ).....	995
Tableau 7-4 – Budget de la gigue à pleine vitesse .....	1017
Tableau 7-5 – Budget de la gigue à basse vitesse .....	1018
Tableau 7-6 – Perte maximale admissible due au câble .....	1021
Tableau 7-7 – Caractéristiques électriques – courant continu .....	1036
Tableau 7-7 – Caractéristiques électriques – courant continu ( <i>suite</i> ).....	1037
Tableau 7-7 – Caractéristiques électriques – courant continu ( <i>suite</i> ).....	1038
Tableau 7-8 – Caractéristiques électriques d'une source grande vitesse.....	1038
Tableau 7-9 – Caractéristiques électriques d'une source pleine vitesse .....	1039
Tableau 7-10 – Caractéristiques électriques d'une source basse vitesse .....	1040
Tableau 7-11 – Caractéristiques électriques du concentrateur/répéteur .....	1041
Tableau 7-12 – Caractéristiques du câble (Note 14) .....	1042
Tableau 7-13 – Temporisation des événements d'un concentrateur .....	1043
Tableau 7-13 – Temporisation des événements d'un concentrateur ( <i>Suite</i> ) .....	1044
Tableau 7-14 – Temporisation des événements d'un dispositif.....	1044
Tableau 7-14 – Temporisation des événements d'un dispositif ( <i>Suite</i> ) .....	1045
Tableau 8-1 – Types de PID .....	1053
Tableau 8-2 – Encodage de poursuite de données utiles OUT isochrones .....	1062
Tableau 8-3 – Valeurs types de points d'extrémité dans le jeton spécial divisé .....	1062
Tableau 8-4 – Réponse d'une fonction à des transactions IN .....	1067

Tableau 8-5 – Réponse de l'hôte à des transactions IN.....	1067
Tableau 8-6 – Réponses d'une fonction à des transactions OUT par ordre de priorité.....	1068
Tableau 8-7 – Réponses de l'étape de statut .....	1090
Tableau 8-8 – Types d'erreurs des paquets .....	1103
Tableau 9-1 – Etats de dispositif visible .....	1109
Tableau 9-2 – Format des données de configuration.....	1117
Tableau 9-3 – Demandes de dispositif normalisées .....	1119
Tableau 9-4 – Codes de demandes normalisées .....	1119
Tableau 9-5 – Types de descripteurs .....	1120
Tableau 9-6 – Sélecteurs de caractéristiques normalisées.....	1120
Tableau 9-7 – Sélecteurs de mode d'essai.....	1127
Tableau 9-8 – Descripteur de dispositif normalisé.....	1131
Tableau 9-9 – Descripteur Device_Qualifier.....	1132
Tableau 9-10 – Descripteur de configuration normalisé.....	1133
Tableau 9-11 – Descripteur Other_Speed_Configuration .....	1134
Tableau 9-12 – Descripteur d'interface normalisé .....	1136
Tableau 9-13 – Descripteur de point d'extrémité normalisé .....	1137
Tableau 9-13 – Descripteur de point d'extrémité normalisé ( <i>suite</i> ) .....	1138
Tableau 9-14 – Valeurs wMaxPacketSize admises pour différents nombres de transactions par microtrame.....	1140
Tableau 9-15 – Descripteur de chaîne de caractères zéro, spécifiant les langues prises en charge par le dispositif.....	1140
Tableau 9-16 – Descripteur de chaîne UNICODE.....	1141
Tableau 11-1 – Contributions de la plage de minuteurs de microtrame à grande vitesse ...	1172
Tableau 11-2 – Contributions de la plage de minuteurs de trame à pleine vitesse.....	1173
Tableau 11-3 – Points de temporisation EOF1/EOF2 du concentrateur et de l'hôte.....	1176
Tableau 11-4 – Définitions des signaux/événements du port interne .....	1182
Tableau 11-5 – Définitions des signaux/événements du port orienté en aval.....	1186
Tableau 11-6 – Mapping automatique des états de ports avec les couleurs de l'indicateur de port .....	1192
Tableau 11-7 – Définitions des couleurs de l'indicateur de port.....	1193
Tableau 11-8 – Définitions des signaux/événements du récepteur du port orienté en amont .....	1195
Tableau 11-9 – Définitions des signaux/événements de l'émetteur du port orienté en amont .....	1198
Tableau 11-10 – Définitions des signaux/événements du sélecteur de port à grande vitesse .....	1202
Tableau 11-11 – Définitions des signaux/événements du répéteur de concentrateur.....	1204
Tableau 11-12 – Résumé du mode de fonctionnement d'alimentation du concentrateur ....	1222
Tableau 11-13 – Descripteur de concentrateur.....	1315
Tableau 11-14 – Réponses du concentrateur aux demandes de dispositif normalisées.....	1317
Tableau 11-15 – Demandes de classe de concentrateur .....	1318
Tableau 11-16 – Codes de demande de classe de concentrateur.....	1318
Tableau 11-17 – Sélecteurs de caractéristiques de classe de concentrateur.....	1319
Tableau 11-18 – Champ wValue pour Clear_TT_Buffer.....	1321

Tableau 11-19 – Champ de statut du concentrateur, wHubStatus .....	1323
Tableau 11-20 – Champ de modification du concentrateur, wHubChange .....	1323
Tableau 11-21 – Champ de statut de port, wPortStatus .....	1324
Tableau 11-22 – Champ de modification du port, wPortChange .....	1329
Tableau 11-23 – Format de l'état TT retourné .....	1331
Tableau 11-24 – Codes du sélecteur de mode essai .....	1335
Tableau 11-25 – Codes de sélecteur de l'indicateur de port .....	1336
Tableau 5-3 – Limites de transfert de contrôle à grande vitesse .....	1617
Tableau 5-8 – Limites des transactions d'interruption à grande vitesse .....	1618
Tableau 5-5 – Limites des transactions isochrones à grande vitesse .....	1619
Tableau 9-3 – Demandes de dispositif normalisées .....	1629
Tableau 11-14 – Réponses du concentrateur aux demandes de dispositif normalisées .....	1643
Tableau 11-21 – Champ de statut de port, wPortStatus .....	1645
Tableau 6-1 – Affectation de terminaison de connecteur USB série "A" et série "B" .....	1667
Tableau 6-2 – Affectation de terminaison de connecteur USB série "mini-B" .....	1667
Tableau <del>6-26</del> -3 – Paire d'alimentation .....	1687
Tableau <del>6-36</del> -4 – Paire de signal .....	1688
Tableau <del>6-46</del> -5 – Paire de signal d'un fil de continuité .....	1688
Tableau <del>6-56</del> -6 – Diamètre nominal de câble .....	1689
Tableau <del>6-66</del> -7 – Résistance des conducteurs .....	1690
Tableau <del>6-76</del> -8 – Normes de conformité électrique, mécanique et environnementale USB .....	1691
Tableau <del>6-76</del> -8 – Normes de conformité électrique, mécanique et environnementale USB ( <i>suite</i> ) .....	1692
Tableau <del>6-76</del> -8 – Normes de conformité électrique, mécanique et environnementale USB ( <i>suite</i> ) .....	1693
Tableau <del>6-76</del> -8 – Normes de conformité électrique, mécanique et environnementale USB ( <i>suite</i> ) .....	1695
Tableau <del>6-76</del> -8 – Normes de conformité électrique, mécanique et environnementale USB ( <i>suite</i> ) .....	1696
Tableau 9-13 – Descripteur de point d'extrémité normalisé ( <i>suite</i> ) .....	1716
Tableau 11-6 – Mapping automatique des états de ports avec les couleurs de l'indicateur de port .....	1718
Tableau 9-5 – Types de descripteurs .....	1730
Tableau 9-13 – Descripteur d'association d'interfaces normalisé .....	1731
Tableau <del>9-13</del> -14 – Descripteur de point d'extrémité normalisé .....	1732
Tableau 9-16 – Descripteur de chaîne UNICODE .....	1740
Tableau 1-1 – Etats (Lx) de gestion d'alimentation de liaison USB .....	1745
Tableau 1-2 – Résumé des similarités/différences entre L1 et L2 .....	1747
Tableau 2-1 – Types de PID .....	1748
Tableau 2-2 – Types de SubPID .....	1750
Tableau 2-2 – Types de SubPID ( <i>suite</i> ) .....	1750
Tableau 2-3 – Définition du champ <i>bmAttributes</i> de jeton LPM .....	1751
Tableau 3-1 – Fonctionnalités de dispositif USB – Descripteur d'extension USB 2.0 .....	1753

Tableau 3-1 – Fonctionnalités de dispositif USB – Descripteur d'extension USB 2.0 ( <i>suite</i> ).....	1753
Tableau 4-1 – Propagation de reprise initiée par dispositif et effets secondaires sur les ports adjacents .....	1762
Tableau 4-2 – Définitions de signal/événement de récepteur de port orienté en amont (addendum) .....	1767
Tableau 4-3 – Définitions de signal/événement d'émetteur de port orienté en amont (addendum) .....	1769
Tableau 4-4 – Définitions de signal/événement de port interne (addendum).....	1771
Tableau 4-5 – Définitions de signal/événement de port en aval (addendum) .....	1772
Tableau 4-6 – Résumé des caractéristiques de temporisation LPM.....	1775
Tableau 4-7 – Sélecteurs de caractéristiques de classe de concentrateur.....	1776
Tableau 4-7 – Sélecteurs de caractéristiques de classe de concentrateur ( <i>suite</i> ) .....	1776
Tableau 4-8 – Définition de <i>wIndex</i> pour la Clear Port Feature sur un concentrateur avec fonctionnalité LPM.....	1777
Tableau 4-9 – Bits de statut de port avec ajouts pour L1.....	1778
Tableau 4-10 – Bits de modification du port avec ajouts pour L1 .....	1779
Tableau 4-11 – Détails de la fonctionnalité du port d'essai et de définition .....	1780
Tableau 9-7 – Sélecteurs de mode d'essai.....	1798
Tableau 9-7 – Sélecteurs de mode d'essai.....	1798

**NOTE** L'ensemble des notices de modification technique (ECN, *Engineering Change Notice*) et des documents d'errata en date du 1er septembre 2012 qui appartiennent à cette spécification principale suivent la dernière page de la spécification à partir de la page 1616.

## Spécification du bus universel en série

**Compaq  
Hewlett-Packard  
Intel  
Lucent  
Microsoft  
NEC  
Philips**

**Révision 2.0  
27 avril 2000**

Domaine d'application de la présente révision

La révision 2.0 de la spécification concerne la conception des produits. Tous les efforts ont été fournis pour établir une spécification cohérente et qui puisse être mise en œuvre. Il convient que toutes les mises en œuvre soient conformes à la présente révision.

### Historique des révisions

Révision	Date de publication	Commentaires
0.7	11/11/1994	Remplace la révision 0.6e.
0.8	30/12/1994	Révision des Chapitres 3 à 8, 10 et 11. Ajout des annexes.
0.9	13/04/1995	Révision de tous les chapitres.
0.99	25/08/1995	Révision de tous les chapitres.
1.0 FDR	13/11/1995	Révision des Chapitres 1, 2, 5 à 11.
1.0	15/01/1996	Modification des Chapitres 5, 6, 7, 8, 9, 10 et 11 pour cohérence.
1.1	23/09/1998	Mise à jour de l'ensemble des chapitres pour corriger les problèmes identifiés.
2.0 (version 0.79)	05/10/1999	Révision des Chapitres 5, 7, 8, 9 et 11 pour ajouter le mode grande vitesse.
2.0 (version 0.9)	21/12/1999	Révision de l'ensemble des chapitres pour ajouter le mode grande vitesse.
2.0	27/04/2000	Révision pour ajouter le mode grande vitesse.

**Spécification du bus universel en série  
Copyright © 2000, Compaq Computer Corporation,  
Hewlett-Packard Company,  
Intel Corporation,  
Lucent Technologies, Inc,  
Microsoft Corporation,  
NEC Corporation,  
Koninklijke Philips Electronics N.V.  
All rights reserved.**



## DÉNI DE RESPONSABILITÉ SUR LA PROPRIÉTÉ INTELLECTUELLE

LA PRÉSENTE SPÉCIFICATION VOUS EST FOURNIE "EN L'ÉTAT", SANS GARANTIE D'AUCUNE SORTE, EN CE COMPRIS TOUTE GARANTIE DE QUALITÉ MARCHANDE, DE NON-VIOLATION OU D'ADAPTATION À UN USAGE PARTICULIER. LES AUTEURS DE LA PRÉSENTE SPÉCIFICATION DÉCLINENT TOUTE RESPONSABILITÉ, Y COMPRIS TOUTE RESPONSABILITÉ RELATIVE À LA VIOLATION DE DROITS DE PROPRIÉTÉ, EN CE QUI CONCERNE L'UTILISATION OU LA MISE EN ŒUVRE DES INFORMATIONS CONTENUES DANS LA PRÉSENTE SPÉCIFICATION. LA MISE À DISPOSITION DE CETTE SPÉCIFICATION, QUELLE QU'ELLE SOIT, N'IMPLIQUE L'OCTROI D'AUCUNE LICENCE, EXPRESSE OU IMPLICITE, PAR PERCLUSION OU AUTRE, SUR AUCUN DROIT DE PROPRIÉTÉ INTELLECTUELLE.

Tous les noms de produits sont des marques, des marques déposées ou des marques de service de leurs propriétaires respectifs.

Envoyer les commentaires par courrier électronique à [echsup@usb.org](mailto:echsup@usb.org)

Pour plus d'informations, se rendre sur le site web de l'USB Implementers Forum à l'adresse <http://www.usb.org>

Reconnaissance de la contribution technique à la norme USB 2.0

Les auteurs de la présente spécification souhaiteraient remercier les personnes suivantes pour leur participation aux groupes de travail techniques du groupe d'initiateurs de la norme USB 2.0. Ils souhaiteraient également remercier les personnes des sociétés promotrices de la norme USB 2.0, ainsi que l'ensemble des acteurs du secteur qui ont contribué au développement de la présente spécification.

### Groupe de travail sur le concentrateur

John Garney	Intel Corporation (président/éditeur)
Ken Stufflebeam	Compaq Computer Corporation
David Wooten	Compaq Computer Corporation
Matt Nieberger	Hewlett-Packard Company
John Howard	Intel Corporation
Venkat Iyer	Intel Corporation
Steve McGowan	Intel Corporation
Geert Knapen	Royal Philips Electronics
Zong Liang Wu	Royal Philips Electronics
Jim Clee	Lucent Technologies, Inc
Jim Guziak	Lucent Technologies, Inc
Dave Thompson	Lucent Technologies, Inc
John Fuller	Microsoft Corporation
Nathan Sherman	Microsoft Corporation
Mark Williams	Microsoft Corporation
Nobuo Furuya	NEC Corporation
Toshimi Sakurai	NEC Corporation
Moto Sato	NEC Corporation
Katsuya Suzuki	NEC Corporation

**Groupe de travail sur la partie électrique**

Jon Lueker	Intel Corporation (président/éditeur)
David Wooten	Compaq Computer Corporation
Matt Nieberger	Hewlett-Packard Company
Larry Taugher	Hewlett-Packard Company
Venkat Iyer	Intel Corporation
Steve McGowan	Intel Corporation
Mike Pennell	Intel Corporation
Todd West	Intel Corporation
Gerrit den Besten	Royal Philips Electronics
Marq Kole	Royal Philips Electronics
Zong Liang Wu	Royal Philips Electronics
Jim Clee	Lucent Technologies, Inc
Jim Guziak	Lucent Technologies, Inc
Par Parikh	Lucent Technologies, Inc
Dave Thompson	Lucent Technologies, Inc
Ed Giaimo	Microsoft Corporation
Mark Williams	Microsoft Corporation
Toshihiko Ohtani	NEC Corporation
Kugao Ouchi	NEC Corporation
Katsuya Suzuki	NEC Corporation
Toshio Tasaki	NEC Corporation

# INTERFACES DE BUS UNIVERSEL EN SÉRIE POUR LES DONNÉES ET L'ALIMENTATION ÉLECTRIQUE –

## Partie 2-1: Spécification du bus universel en série, révision 2.0

### 1 Chapitre 1 Introduction

#### 1.1 Motivation

Le développement de l'interface de bus universel en série (USB) a été motivé par trois facteurs interdépendants:

- Connexion du PC au téléphone

Il est largement admis que la fusion des technologies de calcul et de communication constitue la base de la prochaine génération d'applications de productivité. Le déplacement des types de données orientés machine et humain d'un lieu ou environnement vers un autre nécessite une connectivité omniprésente et abordable. Malheureusement, les secteurs du calcul et de la communication ont évolué de manière individuelle. L'interface USB assure une liaison omniprésente qui peut être utilisée pour différents types d'interconnexions entre un ordinateur et un téléphone.

- Facilité d'utilisation

Le manque de flexibilité de la reconfiguration de l'ordinateur est reconnu comme le talon d'Achille de son déploiement futur. La combinaison des interfaces graphiques conviviales et des mécanismes matériels et logiciels associés à la nouvelle génération d'architectures de bus ont rendu la reconfiguration des ordinateurs moins hostile et plus facile. Du point de vue de l'utilisateur final, les interfaces d'entrée-sortie (E/S) des ordinateurs, tels que les ports série/parallèle, les interfaces clavier/souris/joystick, etc., ne disposent cependant pas des attributs du Plug and Play.

- Extension de ports

L'ajout de périphériques externes est toujours limité par le nombre de ports disponibles. L'absence de bus périphérique bidirectionnel basse à moyenne vitesse et à faible coût a freiné l'innovation pour certains périphériques, tels que les adaptateurs téléphone/télécopie/modem, les répondeurs téléphoniques, les numériseurs, les assistants numériques personnels, les claviers, les souris informatiques, etc. Les interconnexions sont optimisées pour un ou deux produits ponctuels. Pour chaque nouvelle fonction ou fonctionnalité ajoutée à l'ordinateur, une nouvelle interface a été définie pour répondre à ce besoin.

La motivation la plus récente concernant la norme USB 2.0 découle du fait que les performances des ordinateurs sont de plus en plus élevées et que les ordinateurs peuvent désormais traiter de grandes quantités de données. Parallèlement, les périphériques informatiques ont gagné en performances et en fonctionnalités. Les applications destinées aux utilisateurs (comme l'imagerie numérique) demandent une connexion hautes performances entre l'ordinateur et ces périphériques de plus en plus sophistiqués. La norme USB 2.0 répond à ce besoin en ajoutant un troisième débit de transfert de 480 Mbit/s à ceux de 12 Mbit/s et 1,5 Mbit/s initialement définis pour l'interface USB. La norme USB 2.0 est une évolution naturelle de l'interface USB qui répond aux attentes d'augmentation de la bande passante tout en préservant les motivations initiales de l'interface USB et en maintenant la pleine compatibilité avec les périphériques existants.

L'interface USB reste donc la réponse à la connectivité de l'architecture des ordinateurs. C'est une interface série raccordable de manière dynamique à la fois rapide, bidirectionnelle, isochrone et faible coût, qui est cohérente avec les exigences des plateformes informatiques actuelles et futures.

## 1.2 Objectif de la spécification

Le présent document définit une interface USB normalisée. La spécification décrit les attributs du bus, la définition du protocole, les types de transactions, la gestion du bus et l'interface de programmation exigée pour la conception et la création des systèmes et des périphériques conformes à cette norme.

L'objectif est de permettre aux dispositifs de différents fournisseurs de fonctionner ensemble dans une architecture ouverte. La spécification se veut une amélioration de l'architecture des ordinateurs, dans des environnements portables, de bureau et domestiques. La spécification vise à accorder aux fabricants d'origine (OEM, *Original Equipment Manufacturer*) de systèmes et aux développeurs de périphériques suffisamment de liberté pour assurer la polyvalence des produits et leur différenciation sur le marché sans avoir à prendre en charge des interfaces obsolètes ni perdre en termes de compatibilité.

## 1.3 Domaine d'application du document

La spécification s'adresse en premier lieu aux OEM de systèmes et aux développeurs de périphériques, mais elle fournit des informations importantes aux fournisseurs de systèmes d'exploitation de plateforme/BIOS/pilotes, ainsi qu'aux éditeurs de logiciels indépendants/fournisseurs indépendants de matériel d'adaptateurs et aux fournisseurs de contrôleurs de plateformes/d'adaptateurs. La présente spécification peut être utilisée pour le développement de nouveaux produits et des logiciels associés.

## 1.4 Conformité des produits à l'USB

Les adoptants de la spécification USB 2.0 ont signé l'accord USB 2.0 Adopters Agreement, qui leur donne accès à une licence réciproque et libre de droits fournie par les promoteurs et d'autres adoptants à certaines propriétés intellectuelles contenues dans les produits conformes à la spécification USB 2.0. Les adoptants peuvent démontrer leur conformité à la spécification en participant au programme d'essai défini par l'USB Implementers Forum. Les produits déclarés conformes à la spécification se verront accorder certains droits pour l'utilisation du logo de l'USB Implementers Forum défini dans la licence du logo.

## 1.5 Organisation du document

Les Chapitres 1 à 5 fournissent une vue d'ensemble à tous les lecteurs; les Chapitres 6 à 11 contiennent des informations techniques précises permettant de définir l'interface USB.

- Il convient que les responsables de la mise en œuvre de périphériques lisent plus particulièrement les Chapitres 5 à 11.
- Il convient que les responsables de la mise en œuvre de contrôleurs hôtes USB lisent plus particulièrement les Chapitres 5, 6, 7, 8, 10 et 11.
- Il convient que les responsables de la mise en œuvre de pilotes USB lisent plus particulièrement les Chapitres 5, 9 et 10.

Le présent document est complété et référencé par les spécifications des classes de dispositifs USB. Les spécifications des classes de dispositifs existent pour une vaste gamme de dispositifs. Pour plus d'informations, contacter l'USB Implementers Forum.

Les lecteurs sont également priés de contacter les fournisseurs de systèmes d'exploitation pour toute question concernant les liaisons des systèmes d'exploitation spécifiques à l'interface USB.