



INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Integrated circuits – Three dimensional integrated circuits –
Part 2: Alignment of stacked dies having fine pitch interconnect**

**Circuits intégrés – Circuits intégrés tridimensionnels –
Partie 2: Alignement de puces empilées à petits pas d'interconnexion**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.200

ISBN 978-2-8322-6291-7

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	3
INTRODUCTION.....	5
1 Scope.....	6
2 Normative references	6
3 Terms and definitions	6
4 Die alignment during three dimensional integration.....	7
4.1 Alignment during stacking	7
4.2 Alignment maintenance during die bonding.....	7
4.3 Alignment measurement after die stacking.....	9
5 Alignment procedure.....	9
5.1 Initial die stacking	9
5.2 Final alignment	9
5.3 Assessment of alignment	9
Annex A (informative) Alignment examples	10
A.1 Alignment maintenance using capacitive coupling.....	10
A.2 Alignment maintenance using inductive coupling.....	12
A.3 Alignment measurement after stacking is completed	13
Bibliography.....	14
Figure 1 – Procedure of alignment of dies during die stacking.....	7
Figure 2 – Misalignment sensing and compensation by aligner	8
Figure 3 – Adjustment for translational misalignment	8
Figure 4 – Final alignment of vertical interconnects between the adjacent layers of dies.....	9
Figure A.1 – Capacitive coupling between two misaligned wires with different widths.....	10
Figure A.2 – Relative capacitance with misalign and metal width	11
Figure A.3 – Multiple narrow wires	11
Figure A.4 – 2-D alignment key in (top) mesh type and (bottom) conjugate X- and Y- direction detectors	11
Figure A.5 – S_{12} roll-off with misalignment (M) for at $H = 10 \mu\text{m}$, ratio = 0,1, $f = 0,01$ GHz, and $T = 0,5 \mu\text{m}$	12
Figure A.6 – Alignment keys for inductive coupling alignment detector when the electricity in the upper die is (left) available and (right) unavailable.....	13
Figure A.7 – Alignment measurement keys of (top) aligned and (below) misaligned stacking	13
Table A.1 – Alignment key dimensions.....	12

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**INTEGRATED CIRCUITS –
THREE DIMENSIONAL INTEGRATED CIRCUITS –**

Part 2: Alignment of stacked dies having fine pitch interconnect

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as “IEC Publication(s)”). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 63011-2 has been prepared by subcommittee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

The text of this International Standard is based on the following documents:

FDIS	Report on voting
47A/1061/FDIS	47A/1065/RVD

Full information on the voting for the approval of this International Standard can be found in the report on voting indicated in the above table.

This document has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts in the IEC 63011 series, published under the general title *Integrated circuits – Three dimensional integrated circuits*, can be found on the IEC website.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

INTRODUCTION

Three-dimensional (3-D) integration of integrated circuits using through-silicon via (TSV) technology is an innovative solution to simultaneously achieve a greater performance, an improved versatility and a higher density of integrated circuits without miniaturization of feature sizes on a die. Die alignment during the die bonding is the key enabler of the fine pitch 3-D wiring between vertically stacked dies for proper physical contact. Maintenance of the alignment during the bonding process and afterward is as important as the precise overlap prior to die bonding. This standard describes a method of initial alignment and maintenance of alignment throughout the die bonding process that can be involved with mechanical shaking. The initial alignment is performed using the optical means. During the maintenance period, however, relative amount of the misalignment is converted to an electrical signal for on-the-fly alignment monitoring without the visual image.

INTEGRATED CIRCUITS – THREE DIMENSIONAL INTEGRATED CIRCUITS –

Part 2: Alignment of stacked dies having fine pitch interconnect

1 Scope

This part of IEC 63011 provides specifications of initial alignment and alignment maintenance between multiple stacked integrated circuits during the die bonding process. These specifications define the alignment keys and operating procedures of the keys. These specifications apply only if electrical coupling method of die-to-die alignment is used in the die stacking.

2 Normative references

The following documents are referred to in the text in such a way that some or all of their content constitutes requirements of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 63011-1, *Integrated circuits – Three dimensional Integrated Circuits – Part 1: Terminology*

SOMMAIRE

AVANT-PROPOS	17
INTRODUCTION.....	19
1 Domaine d'application	20
2 Références normatives	20
3 Termes et définitions	20
4 Alignement de puces pendant l'intégration en trois dimensions.....	21
4.1 Alignement pendant l'empilement.....	21
4.2 Maintien de l'alignement pendant la liaison de puces	21
4.3 Mesure de l'alignement après l'empilement de puces	23
5 Procédure d'alignement.....	23
5.1 Empilement initial des puces.....	23
5.2 Alignement final	23
5.3 Evaluation de l'alignement	23
Annexe A (informative) Exemples d'alignements	24
A.1 Maintien d'alignement en utilisant un couplage capacitif	24
A.2 Maintien d'alignement en utilisant un couplage inductif	26
A.3 Mesure de l'alignement après l'empilement des puces	27
Bibliographie.....	28
Figure 1 – Procédure d'alignement des puces pendant l'empilement de puces.....	21
Figure 2 – Détection de défaut d'alignement et compensation par l'appareil d'alignement	22
Figure 3 – Ajustement pour corriger un défaut d'alignement en translation.....	23
Figure 4 – Alignement final des interconnexions verticales entre les couches adjacentes de puces	23
Figure A.1 – Couplage capacitif entre deux fils de largeurs différentes présentant un défaut d'alignement.....	24
Figure A.2 – Capacité en fonction du défaut d'alignement et de la largeur du métal	25
Figure A.3 – Plusieurs fils étroits	25
Figure A.4 – Clé d'alignement en deux dimensions dans des détecteurs de type à grille (en haut) et de type à bandes conjuguées X et Y (en bas)	25
Figure A.5 – Affaiblissement S_{12} avec défaut d'alignement (M) pour $H = 10 \mu\text{m}$, rapport = 0,1, $f = 0,01 \text{ GHz}$ et $T = 0,5 \mu\text{m}$	26
Figure A.6 – Clés d'alignement pour détecteur d'alignement par couplage inductif lorsque la puce de dessus reçoit de l'électricité (à gauche) et n'en reçoit pas (à droite)	27
Figure A.7 – Clés de mesure de l'alignement d'un empilement aligné (en haut) et d'un empilement non aligné (en bas)	27
Tableau A.1 – Dimensions des clés d'alignement.....	26

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

CIRCUITS INTÉGRÉS – CIRCUITS INTÉGRÉS TRIDIMENSIONNELS –

Partie 2: Alignement de puces empilées à petits pas d'interconnexion

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale IEC 63011-2 a été établie par le sous-comité 47A: Circuits intégrés, du comité d'étude 47 de l'IEC: Dispositifs à semiconducteurs.

Le texte de cette Norme internationale est issu des documents suivants:

FDIS	Rapport de vote
47A/1061/FDIS	47A/1065/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette Norme internationale.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2.

Une liste de toutes les parties de la série IEC 63011, publiées sous le titre général *Circuits intégrés – Circuits intégrés tridimensionnels*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "http://webstore.iec.ch" dans les données relatives au document recherché. A cette date, le document sera

- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

INTRODUCTION

L'intégration en trois dimensions (3D) de circuits intégrés utilisant la technologie des trous de liaison à travers le silicium (TSV: Through-Silicon Via) est une solution innovante pour obtenir simultanément de meilleures performances, une plus grande polyvalence et une augmentation de la densité des circuits intégrés sans réduire la taille des caractéristiques sur une puce. L'alignement de puces pendant leur liaison est l'élément clé du câblage en 3D à pas fins entre des puces empilées verticalement pour offrir un bon contact physique. Le maintien de l'alignement pendant et après le processus de liaison est aussi important que la superposition précise avant la liaison des puces. La présente norme décrit une méthode d'alignement initial et de maintien de l'alignement pendant le processus de liaison des puces qui peut faire intervenir un déplacement mécanique. L'alignement initial est réalisé en utilisant des appareils optiques. Toutefois, pendant la durée du maintien, la quantité relative de défauts d'alignement est convertie en signal électrique pour effectuer un contrôle d'alignement en temps réel sans l'image visuelle.

CIRCUITS INTÉGRÉS – CIRCUITS INTÉGRÉS TRIDIMENSIONNELS –

Partie 2: Alignement de puces empilées à petits pas d'interconnexion

1 Domaine d'application

La présente partie de l'IEC 63011 donne des spécifications d'alignement initial et de maintien d'alignement entre plusieurs circuits intégrés empilés pendant le processus de liaison de puces. Ces spécifications définissent les clés d'alignement et les procédures de fonctionnement de ces clés. Ces spécifications s'appliquent uniquement si une méthode de couplage électrique d'alignement de puces les unes sur les autres est utilisée dans l'empilement des puces.

2 Références normatives

Les documents suivants cités dans le texte constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 63011-1, *Circuits intégrés – Circuits intégrés tridimensionnels – Partie 1: Terminologie*